

Family list3 family members for: **JP2001242839**

Derived from 2 applications

[Back to JP2001242839](#)**1 SEMICONDUCTOR DISPLAY DEVICE AND ELECTRONICS****Inventor:** KOB I KYOICHI**Applicant:** SEMICONDUCTOR ENERGY LAB**EC:****IPC:** G02F1/133; G09G3/20; G09G3/32 (+9)**Publication info:** JP2001242839 A - 2001-09-07**2 Semiconductor display device and electronic equipment****Inventor:** MUKAO KYOICHI (JP)**Applicant:****EC:** H01L21/77T; G09G3/36C8; (+2)**IPC:** G09G3/36; H01L21/77; H01L21/84 (+5)**Publication info:** US6606080 B2 - 2003-08-12**US2001045932 A1** - 2001-11-29Data supplied from the *esp@cenet* database - Worldwide

SEMICONDUCTOR DISPLAY DEVICE AND ELECTRONICS

Publication number: JP2001242839

Publication date: 2001-09-07

Inventor: KOB I KYOICHI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- international: G02F1/133; G09G3/20; G09G3/32; G09G3/36;
G02F1/13; G09G3/20; G09G3/32; G09G3/36; (IPC1-7):
G09G3/36; G02F1/133; G09G3/20; G09G3/32

- European:

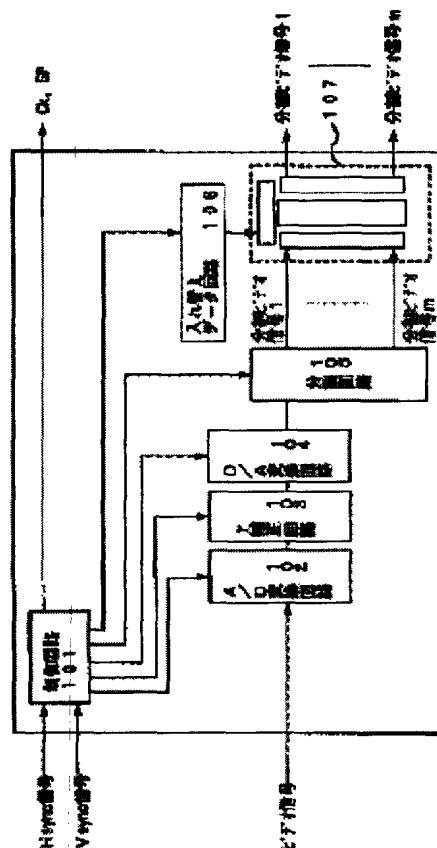
Application number: JP20000387395 20001220

Priority number(s): JP20000387395 20001220; JP19990365717 19991224

Report a data error here

Abstract of JP2001242839

PROBLEM TO BE SOLVED: To provide a semiconductor device permitting to display a picture of high definition, high resolution, and multi-gradations. **SOLUTION:** A semiconductor device is characterized by that the sequence of m-pieces of split video signals is changed before they are inputted to a buffer circuit, and is changed back into the original sequence after they are outputted from the buffer circuit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-242839
(P2001-242839A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 3		6 2 3 V
			6 2 3 J

審査請求 未請求 請求項の数13 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2000-387395(P2000-387395)
(22) 出願日 平成12年12月20日(2000.12.20)
(31) 優先権主張番号 特願平11-365717
(32) 優先日 平成11年12月24日(1999.12.24)
(33) 優先権主張国 日本 (J P)

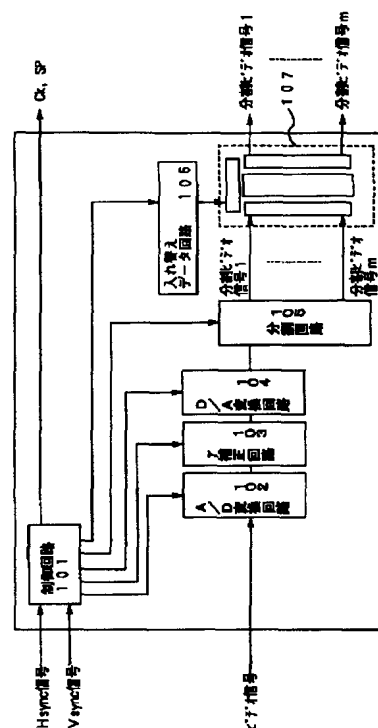
(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 向尾 恭一
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体表示装置及び電子機器

(57) 【要約】

【課題】 高精細、高解像度、多階調の画像の表示が可能な、半導体装置を提供する。

【解決手段】 m個の分割ビデオ信号の順序が、バッファ回路に入力される前に入れ替わり、バッファ回路から出力された後にm個の分割ビデオ信号の順序が元に戻ることを特徴とする半導体装置。



【特許請求の範囲】

【請求項 1】 m 個のバッファ回路とソース信号線駆動回路とを有する半導体表示装置であって、前記 m 個のバッファ回路のそれぞれは、パラレルデータである m 個の分割ビデオ信号のそれぞれに対応しており、

前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路は、ある一定の期間ごとに互いに入れ替わり、

前記 m 個のバッファ回路に入力された前記 m 個の分割ビデオ信号は、前記 m 個のバッファ回路から出力されて前記ソース信号線駆動回路に入力され、

前記ソース信号線駆動回路に入力された前記 m 個の分割ビデオ信号は、サンプリングされ、前記 m 個の各分割ビデオ信号に対応する既定の m 本のソース信号線にそれぞれ入力されることを特徴とする半導体表示装置。

【請求項 2】 分割回路と、第 1 入れ替え回路と、第 2 入れ替え回路と、m 個のバッファ回路と、ソース信号線駆動回路とを有する半導体表示装置であって、

ビデオ信号がシリアル-パラレル変換されて形成された m 個の分割ビデオ信号が前記分割回路から出力され、

前記分割回路から出力された m 個の分割ビデオ信号は、

前記第 1 入れ替え回路に入力され、

前記第 1 入れ替え回路に入力された m 個の分割ビデオ信号は、それぞれ対応する前記 m 個のバッファ回路に入力され、

前記 m 個のバッファ回路に入力された m 個の分割ビデオ信号は、前記 m 個のバッファ回路から出力されて前記第 2 入れ替え回路に入力され、

前記第 2 入れ替え回路に入力された m 個の分割ビデオ信号は、前記 m 個の各分割ビデオ信号に対応する既定の m 本の分割ビデオ信号線にそれぞれ入力され、

前記 m 本の分割ビデオ信号線に入力された m 個の分割ビデオ信号は、前記ソース信号線駆動回路に入力されてサンプリングされ、前記 m 個の各分割ビデオ信号に対応する既定の m 本のソース信号線にそれぞれ入力され、

前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路は、ある一定の期間ごとに互いに入れ替わり、

【請求項 3】 分割回路と、第 1 入れ替え回路と、m 個のバッファ回路と、ソース信号線駆動回路とを有する半導体表示装置であって、

前記ソース信号線駆動回路は第 2 入れ替え回路を有しており、

ビデオ信号がシリアル-パラレル変換されて形成された m 個の分割ビデオ信号が前記分割回路から出力され、

前記分割回路から出力された m 個の分割ビデオ信号は、

前記第 1 入れ替え回路に入力され、

前記第 1 入れ替え回路に入力された m 個の分割ビデオ信号は、それぞれ対応する前記 m 個のバッファ回路に入力

され、

前記 m 個のバッファ回路に入力された m 個の分割ビデオ信号は、前記 m 個のバッファ回路から出力されて前記第 2 入れ替え回路に入力され、

前記第 2 入れ替え回路に入力された m 個の分割ビデオ信号は、サンプリングされ、前記 m 個の各分割ビデオ信号に対応する既定の m 本のソース信号線にそれぞれ入力され、

前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路は、ある一定の期間ごとに互いに入れ替わり、

【請求項 4】 請求項 1 乃至請求項 3 のいずれか 1 項において、前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路の入れ替えは、入れ替えデータ回路において制御されることを特徴とする半導体表示装置。

【請求項 5】 請求項 1 乃至請求項 4 のいずれか 1 項において、前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路が互いにどの様に入れ替わるかが、入れ替えデータ回路において決められていることを特徴とする半導体表示装置。

【請求項 6】 請求項 5 において、前記入れ替えデータ回路はメモリ回路とカウンタ回路とを有しており、

前記メモリ回路には、前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路の組み合わせについての情報を有する入れ替えデータが複数記憶されており、前記カウンタ回路によって前記入れ替えデータの 1 つが選択されることを特徴とする半導体表示装置。

【請求項 7】 マルチプレクサ回路と 1 個の D/A 変換回路と 1 個の分割回路とを有する半導体表示装置であって、

前記 1 個の D/A 変換回路のそれぞれは、前記マルチプレクサ回路から出力された 1 個のデジタルの分配信号のそれぞれに対応しており、

前記 1 個のデジタルの分配信号のそれぞれに対応する 1 個の D/A 変換回路は、ある一定の期間ごとに互いに入れ替わり、

前記 1 個の D/A 変換回路に入力された前記 1 個のデジタルの分配信号は、1 個のアナログの分配信号に変換されて、それぞれ対応する既定の前記 1 個の分割回路に入力されることを特徴とする半導体表示装置。

【請求項 8】 請求項 1 乃至請求項 7 のいずれか 1 項において、液晶を用いていることを特徴とする半導体表示装置。

【請求項 9】 請求項 1 乃至請求項 7 のいずれか 1 項において、発光素子を用いていることを特徴とする半導体表示装置。

【請求項 10】 請求項 1 乃至請求項 9 のいずれか 1 項に記載の前記半導体表示装置を用いることを特徴とする電子機器。

【請求項 11】 請求項 10 において、コンピュータであ

ることを特徴とする電子機器。

【請求項12】請求項10において、ビデオカメラであることを特徴とする電子機器。

【請求項13】請求項10において、DVDプレーヤーであることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体表示装置の駆動回路に関する。特に、半導体表示装置のソース信号線駆動回路に入力するアナログまたはデジタルの信号を生成する回路に関する。特に、シリアルーパラレル変換を行う分割回路 (Serial-to-Parallel Conversion Circuit: SPC) から出力されたパラレルなアナログまたはデジタルの分割信号を、ソース信号線駆動回路に入力する前に処理する回路に関する。また本発明は、ソース信号線駆動回路に入力するアナログまたはデジタルの信号を生成する回路を有する半導体表示装置に関する。

【0002】

【従来の技術】近年、絶縁性基板上に半導体薄膜を用いて形成された半導体素子、例えば薄膜トランジスタ (TFT) を作製する技術が急速に発達している。その理由は、半導体素子を用いた半導体表示装置 (代表的には、アクティブマトリクス型半導体表示装置) の需要が高まってきたことによる。なお本明細書において、表面に半導体素子が形成された絶縁性基板をアクティブマトリクス基板と呼ぶ。

【0003】アクティブマトリクス型半導体表示装置は、マトリクス状に配置された数十〜数百万個もの画素電極の電荷を、画素が有するTFTにより制御して画像を表示するものである。

【0004】アクティブマトリクス型半導体表示装置の駆動回路は高速動作が要求される。特に駆動回路の中でもソース信号線駆動回路は、ゲート信号線に信号が入力されている期間内に、前記ゲート信号線に接続されている画素TFT全てに順に信号を入力する必要がある。そのためソース信号線駆動回路は、ゲート信号線駆動回路よりも高速で動作することが必要である。例えばVGAのアクティブマトリクス型半導体表示装置の場合、ソース信号線駆動回路の駆動周波数は一般的に約20MHzである。

【0005】アクティブマトリクス型半導体表示装置は高精細、高解像度、多階調な画像を表示することが望まれている。そのためアクティブマトリクス型半導体表示装置の水平方向の画素数 (水平画素数: H_n) が増える傾向にある。

【0006】水平画素数 H_n が増加すると、ソース信号線駆動回路をより高速で動作させることが要求される。ソース信号線駆動回路の動作速度が低下すると、画像表示スピードが遅くなり、表示画像のチラツキやフリッカ

などの諸問題が発生する。

【0007】上記諸問題を回避しつつ、アクティブマトリクス型半導体表示装置の水平方向の画素数を増やすためには、ソース信号線駆動回路の駆動周波数をより高くしなくてはならない。しかしソース信号線駆動回路の駆動周波数を高くしていくと、ソース信号線駆動回路が有するTFTの応答速度がソース信号線駆動回路の駆動周波数に対応しきれなくなり、動作が不可能か、または信頼性の上で難が出てくる可能性があった。

【0008】そこで、画像表示スピードを遅くすることなくソース信号線駆動回路の駆動周波数を抑えるために、分割駆動する方法が従来から用いられている。分割駆動とは、水平方向に並んでいる画素を m 個のグループに分割し、1ライン期間中に、同時に各グループの画素に画像情報を有する信号を入力する駆動方法である。

【0009】なお本明細書において1ライン期間とは、水平方向に並んでいる1ラインの画素のうち、最初の画素に画像情報を有する信号が入力されてから、次の1ラインの最初の画素に画像情報を有する信号が入力される直前までの期間を意味する。

【0010】 m 分割での分割駆動の場合 (m は1より大きい正数であり、一般的には自然数)、分割しない場合と1ライン期間の長さが同じだとすると、分割しない場合に比べて1画素あたりの画像情報を有する信号 (画像信号) を入力する期間が m 倍になる。そのためソース信号線駆動回路の駆動周波数は $1/m$ となり、ソース信号線駆動回路が完全に動作可能な程度になるまで、ソース信号線駆動回路の駆動周波数を低くすることが可能になる。

【0011】 m 分割の分割駆動の場合、 m 個の画素に対応する画像情報を有するビデオ信号 (分割ビデオ信号) がソース信号線駆動回路においてサンプリングされ、 m 個の画像信号として m 個の画素のそれぞれに同時に入力される。

【0012】ソース信号線駆動回路に入力される分割ビデオ信号は、一般的には、アクティブマトリクス基板にFPC (フレキシブル・プリント・サーキット) を介して接続されているICチップ (単結晶シリコン上に形成されたMOSFETで構成される半導体回路) 上に設けられた回路群において生成される。図17は、アナログ駆動のアクティブマトリクス型半導体表示装置において、ソース信号線駆動回路に入力される分割ビデオ信号を生成する回路群を示している。

【0013】901は制御回路、902はA/D変換回路、903は γ 補正回路、904はD/A変換回路、905は分割回路、906はバッファ回路群を示している。

【0014】 H_{sync} 信号と V_{sync} 信号とが制御回路901に入力される。そして制御回路901からソース信号線駆動回路を駆動するクロック信号 (CK)、

スタートパルス信号(SP)等がソース信号線駆動回路に入力される。またさらに制御回路901から、A/D変換回路902、 γ 補正回路903、D/A変換回路904及び分割回路905に、それぞれ各回路を駆動する信号が入力されている。

【0015】そして画像情報を有するアナログのビデオ信号がA/D変換回路902に入力される。A/D変換回路902に入力されたアナログのビデオ信号は、デジタルのビデオ信号に変換され、 γ 補正回路903に入力される。 γ 補正回路903に入力されたデジタルのビデオ信号は、 γ 補正されてD/A変換回路904に入力される。D/A変換回路904に入力されたデジタルのビデオ信号は、再びアナログのビデオ信号に変換され、分割回路905に入力される。

【0016】分割回路905に入力されたアナログのビデオ信号は、シリアル-パラレル変換され、分割駆動の分割数と同じ数の分割ビデオ信号に変換される。m分割の分割駆動の場合、アナログのビデオ信号はm個の分割ビデオ信号に変換されることになる。

【0017】m個の分割ビデオ信号は、バッファ回路群906に入力される。バッファ回路群906はバッファ回路906__1~906__mを有しており、m個の分割ビデオ信号はそれぞれ対応するバッファ回路906__1~906__mに入力される。

【0018】ところで、ある回路から出力された信号を別の回路に入力する際に、信号の立ち上がりまたは立ち下がりにより鈍りが生じて信号の波形が矩形にならなかったり、信号の電位及び振幅が変化したりすることがある。これは、信号が入力される側の回路に負荷容量(寄生容量)が存在するためである。そしてこれは、信号が入力される側の回路が有する回路素子の数が多くなって回路の構成が複雑になればなるほど、顕著に現れる現象である。バッファ回路とは、ある回路から出力された信号を別の回路に入力する際に、信号の波形、電位及び振幅が変化しないように緩衝増幅する回路である。

【0019】m個の分割ビデオ信号は、バッファ回路906__1~906__mにおいて緩衝増幅され、ソース信号線駆動回路に入力される。そしてアナログ駆動のアクティブマトリクス型半導体表示装置の場合、m個の分割ビデオ信号はソース信号線駆動回路においてサンプリングされ、m個の画像信号として対応する画素にソース信号線を介して入力される。

【0020】

【発明が解決しようとする課題】バッファ回路群906が有するバッファ回路906__1~906__mは、理論的には全て構成が同じである。しかし実際には個々のバッファ回路の特性は全く同じではない。バッファ回路によって、入力された信号と出力される信号の、振幅の増幅の度合い(増幅度)が異なっていたり、出力された信号がオフセット電位を有していたりする。バッファ回路

の特性は、そのバッファ回路が有する回路素子の製造誤差や、バッファ回路の周辺温度に左右される。

【0021】そのため、バッファ回路から出力される分割ビデオ信号の電位及び振幅は、常にそのバッファ回路の特性の影響を受ける。よって、特性が異なっているバッファ回路から出力される分割ビデオ信号は、他の分割ビデオ信号と振幅が異なっていたり、オフセット電位を有していたりし、他の分割ビデオ信号と電位差を有してしまう。

10 【0022】そして、電位差を有する分割ビデオ信号がソース信号線駆動回路においてサンプリングされると、サンプリングによって画素に入力される画像信号も電位差を有する。そして、その画像信号が有する電位差が画面中に明暗として表示され、観察者に明暗による縞(分割縞)が視認されてしまう。

【0023】上述したことに鑑み、本発明は分割駆動を行う際に、観察者に分割縞が視認されにくい、高精細、高解像度、多階調の画像の表示が可能な、アクティブマトリクス型半導体表示装置を提供することを課題とする。

【0024】

【課題を解決するための手段】本発明人は、分割縞が観察者に視認されるのは、画像信号の電位差によって画面上に表示される明るい部分または暗い部分が、特定のソース信号線に接続されている画素において、常に現れるためだと考えた。そしてそれは、分割回路から出力される複数の分割ビデオ信号が、それぞれの分割ビデオ信号に対応した特定のバッファ回路に常に入力されているためだと考えた。

30 【0025】そこで本発明では、分割回路から出力される複数の分割ビデオ信号を、それぞれ常に特定のバッファ回路に入力するのではなく、ある期間ごとに異なるバッファ回路に入力するようにした。つまり、入力する複数の分割ビデオ信号と入力される複数のバッファ回路とが一对一で対応しており、複数の分割ビデオ信号の各々に対する複数のバッファ回路をある期間ごとに互いに入れ替える、言い換えると、分割ビデオ信号とバッファ回路の組み合わせをある期間ごとに組み替えるようにした。

40 【0026】上記構成によって、特性が異なるバッファ回路から出力された分割ビデオ信号が、他の分割ビデオ信号との間に電位差を有していることによって画面中に分割縞が表示されても、ある期間ごとにその分割縞の表示される位置が移動するので、観察者に分割縞が視認されにくい。

50 【0027】なお本発明では、分割ビデオ信号とバッファ回路の組み合わせのパターンの数と、その組み合わせが変わるまでの期間とを、分割縞が観察者に視認されにくい程度に設定することが重要である。分割ビデオ信号とバッファ回路の組み合わせの種類の数が多ければ多い

ほど好ましく、より分割縞が観察者に視認されにくくなる。また組み合わせが変わるまでの期間は短い方が好ましく、 $1/20\text{sec}$ 以下であることが望ましい。

【0028】よって、本発明は分割駆動を行う際に、観察者に分割縞が視認されにくい。そしてなおかつ、分割駆動することによって、高精細、高解像度、多階調の画像の表示が可能になる。

【0029】以下に本発明の構成を示す。

【0030】本発明によって、 m 個のバッファ回路とソース信号線駆動回路とを有する半導体表示装置であって、前記 m 個のバッファ回路のそれぞれは、パラレルデータである m 個の分割ビデオ信号のそれぞれに対応しており、前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路は、ある一定の期間ごとに互いに入れ替わり、前記 m 個のバッファ回路に入力された前記 m 個の分割ビデオ信号は、前記 m 個のバッファ回路から出力されて前記ソース信号線駆動回路に入力され、前記ソース信号線駆動回路に入力された前記 m 個の分割ビデオ信号は、サンプリングされ、前記 m 個の各分割ビデオ信号に対応する既定の m 本のソース信号線にそれぞれ入力されることを特徴とする半導体表示装置が提供される。

【0031】本発明によって、分割回路と、第1入れ替え回路と、第2入れ替え回路と、 m 個のバッファ回路と、ソース信号線駆動回路とを有する半導体表示装置であって、ビデオ信号がシリアル-パラレル変換されて形成された m 個の分割ビデオ信号が前記分割回路から出力され、前記分割回路から出力された m 個の分割ビデオ信号は、前記第1入れ替え回路に入力され、前記第1入れ替え回路に入力された m 個の分割ビデオ信号は、それぞれ対応する前記 m 個のバッファ回路に入力され、前記 m 個のバッファ回路に入力された m 個の分割ビデオ信号は、前記 m 個のバッファ回路から出力されて前記第2入れ替え回路に入力され、前記第2入れ替え回路に入力された m 個の分割ビデオ信号は、前記 m 個の各分割ビデオ信号に対応する既定の m 本の分割ビデオ信号線にそれぞれ入力され、前記 m 本の分割ビデオ信号線に入力された m 個の分割ビデオ信号は、前記ソース信号線駆動回路に入力されてサンプリングされ、前記 m 個の各分割ビデオ信号に対応する既定の m 本のソース信号線にそれぞれ入力され、前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路は、ある一定の期間ごとに互いに入れ替わることを特徴とする半導体表示装置が提供される。

【0032】本発明によって、分割回路と、第1入れ替え回路と、 m 個のバッファ回路と、ソース信号線駆動回路とを有する半導体表示装置であって、前記ソース信号線駆動回路は第2入れ替え回路を有しており、ビデオ信号がシリアル-パラレル変換されて形成された m 個の分割ビデオ信号が前記分割回路から出力され、前記分割回路から出力された m 個の分割ビデオ信号は、前記第1入

れ替え回路に入力され、前記第1入れ替え回路に入力された m 個の分割ビデオ信号は、それぞれ対応する前記 m 個のバッファ回路に入力され、前記 m 個のバッファ回路に入力された m 個の分割ビデオ信号は、前記 m 個のバッファ回路から出力されて前記第2入れ替え回路に入力され、前記第2入れ替え回路に入力された m 個の分割ビデオ信号は、サンプリングされ、前記 m 個の各分割ビデオ信号に対応する既定の m 本のソース信号線にそれぞれ入力され、前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路は、ある一定の期間ごとに互いに入れ替わることを特徴とする半導体表示装置が提供される。

【0033】前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路の入れ替えは、入れ替えデータ回路において制御されることを特徴としても良い。

【0034】前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路が互いにどの様に入れ替わるかが、入れ替えデータ回路において決められていることを特徴としても良い。

【0035】前記入れ替えデータ回路はメモリ回路とカウンタ回路とを有しており、前記メモリ回路には、前記 m 個の分割ビデオ信号のそれぞれに対応する m 個のバッファ回路の組み合わせについての情報を有する入れ替えデータが複数記憶されており、前記カウンタ回路によって前記入れ替えデータの1つが選択されることを特徴としても良い。

【0036】本発明によって、マルチプレクサ回路と1個のD/A変換回路と1個の分割回路とを有する半導体表示装置であって、前記1個のD/A変換回路のそれぞれは、前記マルチプレクサ回路から出力された1個のデジタルの分配信号のそれぞれに対応しており、前記1個のデジタルの分配信号のそれぞれに対応する1個のD/A変換回路は、ある一定の期間ごとに互いに入れ替わり、前記1個のD/A変換回路に入力された前記1個のデジタルの分配信号は、1個のアナログの分配信号に変換されて、それぞれ対応する既定の前記1個の分割回路に入力されることを特徴とする半導体表示装置が提供される。

【0037】前記半導体表示装置は液晶を用いていることを特徴としても良い。

【0038】前記半導体表示装置は発光素子を用いていることを特徴としても良い。

【0039】本発明は、前記半導体表示装置を用いたコンピュータであっても良い。

【0040】本発明は、前記半導体表示装置を用いたビデオカメラであっても良い。

【0041】本発明は、前記半導体表示装置を用いたDVDプレーヤーであっても良い。

【0042】

【発明の実施の形態】本発明の分割ビデオ信号を生成する回路群について、図1を用いて説明する。なおここでは、アナログ駆動のアクティブマトリクス型半導体表示装置を、 m 分割で分割駆動する場合について説明する。

【0043】101は制御回路、102はA/D変換回路、103は γ 補正回路、104はD/A変換回路、105は分割回路、106は入れ替えデータ回路を示している。

【0044】Hsync信号とVsync信号とが制御回路101に入力される。そして制御回路101からソース信号線駆動回路を駆動するクロック信号(CK)、スタートパルス信号(SP)等がソース信号線駆動回路に入力される。またさらに制御回路101から、A/D変換回路102、 γ 補正回路103、D/A変換回路104、分割回路105、入れ替えデータ回路106に、各回路を駆動する信号がそれぞれ入力されている。

【0045】画像情報を有するアナログのビデオ信号が、A/D変換回路102に入力される。A/D変換回路102に入力されたアナログのビデオ信号は、A/D変換回路102においてデジタルのビデオ信号に変換され、 γ 補正回路103に入力される。 γ 補正回路103に入力されたデジタルのビデオ信号は、 γ 補正され、D/A変換回路104に入力される。D/A変換回路104に入力された γ 補正後のデジタルのビデオ信号は、再びアナログのビデオ信号に変換され、分割回路105に入力される。

【0046】分割回路105に入力されたアナログのビデオ信号は、シリアル-パラレル変換され、分割駆動の分割数分だけ分割された分割ビデオ信号になる。 m 分割の分割駆動の場合、アナログのビデオ信号は m 個の分割ビデオ信号に変換されることになる。

【0047】 m 個の分割ビデオ信号は、第1入れ替え回路108に同時に入力される。図2に点線で囲った部分107の詳しいブロック図を示す。108は第1入れ替え回路、109はバッファ回路群、110は第2入れ替え回路、111は入れ替えデータ処理回路である。バッファ回路群109は少なくとも m 個のバッファ回路(109_1~109_m)を有している。

【0048】第1入れ替え回路108は、入力された分割ビデオ信号($V_{s1} \sim V_{sm}$)を、入れ替えデータ処理回路111から入力される第1入れ替え信号によって、バッファ回路(109_1~109_m)にそれぞれ入力する。その際、入力する m 個の分割ビデオ信号($V_{s1} \sim V_{sm}$)と、 m 個のバッファ回路(109_1~109_m)とは一対一で対応している。そして m 個の分割ビデオ信号のうちのどの分割ビデオ信号が、 m 個のバッファ回路のうちのどのバッファ回路に入力されるかが、入れ替えデータ処理回路111から入力される第1入れ替え信号によって決められる。

【0049】バッファ回路(109_1~109_m)

に入力された m 個の分割ビデオ信号($V_{s1} \sim V_{sm}$)は、各バッファ回路において緩衝増幅され、第2入れ替え回路110に入力される。

【0050】第2入れ替え回路110は、入れ替えデータ処理回路111から入力される第2入れ替え信号によって、バッファ回路(109_1~109_m)から出力された m 個の分割ビデオ信号($V_{s1} \sim V_{sm}$)をそれぞれ特定の分割ビデオ信号線($V_{l1} \sim V_{lm}$)に入力する。つまり第1入れ替え信号によって m 個の分割ビデオ信号($V_{s1} \sim V_{sm}$)のそれぞれが、どのバッファ回路(109_1~109_m)に入力されるかに拘わらず、 m 個のバッファ回路(109_1~109_m)から出力された m 個の分割ビデオ信号($V_{s1} \sim V_{sm}$)を、予め定められている分割ビデオ信号線($V_{l1} \sim V_{lm}$)にそれぞれ入力する。

【0051】分割ビデオ信号線($V_{l1} \sim V_{lm}$)に入力された m 個の分割ビデオ信号($V_{s1} \sim V_{sm}$)はソース信号線駆動回路に入力される。そしてアナログ駆動のアクティブマトリクス型半導体表示装置の場合、ソース信号線駆動回路において m 個の分割ビデオ信号がサンプリングされ、 m 個の画素にそれぞれ対応した m 個の画像情報を有する信号(画像信号)として、対応する画素に接続された m 本のソース信号線にそれぞれ入力される。

【0052】次に入れ替えデータ回路106について説明する。入れ替えデータ回路106において生成される入れ替えデータ信号が、入れ替えデータ処理回路111に入力されることによって、第1入れ替え信号と第2入れ替え信号とが生成される。

【0053】図3に入れ替えデータ回路106のブロック図を示す。112はカウンタ回路、113はメモリ回路である。メモリ回路113には、どの分割ビデオ信号がどのバッファ回路に入力されるかのデータ、言い換えると、分割ビデオ信号($V_{s1} \sim V_{sm}$)とバッファ回路(109_1~109_m)との組み合わせのデータ(入れ替えデータ)が q 通り(q は2以上の自然数)記憶されている。

【0054】この分割ビデオ信号とバッファ回路との q 通りの組み合わせは、それぞれメモリ回路113のメモリアドレスの0番地から($q-1$)番地に入れ替えデータとして記憶されている。

【0055】カウンタ回路112は制御回路101から入力された信号によって駆動し、メモリ回路113のメモリアドレスの番地を指定するカウンタ値を決定する。例えばカウンタ値が0だとメモリ回路113のメモリアドレスは0番地が指定され、カウンタ値が1だと1番地が、カウンタ値が2だと2番地が、カウンタ値が $q-1$ だと($q-1$)番地がそれぞれ指定される。カウンタ値の情報はカウンタ信号としてカウンタ回路112からメモリ回路113に入力される。

10

20

30

40

50

【0056】メモリ回路113に入力されたカウンタ信号によって、メモリアドレスの番地が指定される。そして指定された番地に記憶されている分割ビデオ信号とバッファ回路との組み合わせの情報である入れ替えデータが、入れ替えデータ信号として入れ替えデータ処理回路106に入力される。

【0057】なお、カウンタ値はある一定の期間ごとにその値が変わってゆく。カウンタ値の値が変わるごとに、カウンタ信号としてメモリ回路113にカウンタ値の情報が伝えられる。そしてこのカウンタ値が変わるまでの期間が、分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間に相当する。

【0058】カウンタ値が0から $q-1$ までの値を一通り取ったら、再び0から $q-1$ までの値をとっていく。つまりメモリ回路113のメモリアドレスの番地が0番地から $(q-1)$ 番地まで一通り指定されたら、再び0番地から $(q-1)$ 番地までの指定が開始される。カウンタ値がとる値に特に順番はなく、0から $q-1$ までの値を順にとっても良いし、ランダムにとっても良い。

【0059】分割ビデオ信号($V_{s1} \sim V_{sm}$)とバッファ回路(109__1 \sim 109__m)との組み合わせのデータである入れ替えデータの数 q は大きいほど良い。しかし、分割ビデオ信号とバッファ回路の組み合わせを組み替えない図17で示した従来例に比べて、分割縞を観察者に視認されにくくすることができるぐらいの大きさの数であれば良い。

【0060】またメモリ回路113に記憶される分割ビデオ信号とバッファ回路の組み合わせは、分割ビデオ信号とバッファ回路の組み合わせを組み替えない図17で示した従来例に比べて、分割縞を観察者に視認されにくくすることができる組み合わせであれば何でも良い。乱数や他の関数を利用し、分割ビデオ信号とバッファ回路の組み合わせを設定しても良い。

【0061】この分割ビデオ信号とバッファ回路の組み合わせはランダムであっても良いが、必ずしもそうである必要はなく、ある一定の規則性を有していても良い。例えば、ある期間において分割ビデオ信号 V_{sp} (p は1 \sim mの任意の数)がバッファ回路109__ p に入力されていたとする。そして次の期間において分割ビデオ信号 V_{sp} がバッファ回路109__($p+1$) ($p=m$ の場合はバッファ回路109__1)に入力される。そしてその次の期間において、分割ビデオ信号 V_{sp} がバッファ回路109__($p+2$) ($p=m$ の場合はバッファ回路109__2、 $p=m+1$ の場合はバッファ回路109__1)に入力される。この様に、ある分割ビデオ信号に対して、対応するバッファ回路がある一定の規則性を持って入れ替えられていても良い。

【0062】なお本発明では分割ビデオ信号とバッファ回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間を分割縞を観察者に視認されに

くい程度の長さに設定することが重要である。バッファ回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間は、言い換えるとカウンタ値が変化してから、次にまたカウンタ値が変わるまでの期間である。そしてその期間は、第1入れ替え信号及び第2切り替え信号の有する情報が変化してから、次にまた第1入れ替え信号及び第2切り替え信号の有する情報が変わるまでの期間にも相当する。

【0063】分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間は短い方が好ましく、短いと、より分割縞が観察者に視認されにくくなる。分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間は1/20sec以下であることが望ましい。本実施の形態においては、1フレーム期間ごとに、分割ビデオ信号とバッファ回路の組み合わせが変わるように設定する。

【0064】なお本実施の形態では、分割ビデオ信号を形成するための図1で示した回路群を外付けの回路としてICチップ(単結晶シリコン上に形成されたMOSFETで構成される半導体回路)上に設けている。そして前記回路群は、FPC(フレキシブル・プリント・サーキット)を介してアクティブマトリクス基板上に設けられたソース信号線駆動回路と接続している。ただし、本発明は上記構成に限られず、上記回路群と一緒にソース信号線駆動回路もICチップ上に設ける構成としても良い。または上記回路群の一部である107の一部、または全てをアクティブマトリクス基板上に設けても良い。

【0065】本発明は上記構成によって、特性が異なるバッファ回路から出力された分割ビデオ信号が、他の分割ビデオ信号との間に電位差を有していることによって画面中に明暗による縞(分割縞)が表示されても、ある期間ごとにその分割縞の表示される位置が移動する。そのため画面中に分割縞が表示されても、観察者に視認されにくい。

【0066】よって、本発明は分割駆動を行う際に、観察者に分割縞が視認されにくい。そしてなおかつ分割駆動することによって、アクティブマトリクス型半導体表示装置の水平方向の画素数を増やしても、ソース信号線駆動回路の駆動周波数を抑えつつ表示画像のチラツキやフリッカを防ぐことができ、高精細、高解像度、多階調の画像の表示が可能になる。

【0067】なお本発明は図1に示した構成に限定されない。ある一定の期間ごとに、複数の分割ビデオ信号と、該複数の分割ビデオ信号を入力する複数のバッファ回路の組み合わせを変え、該複数のバッファ回路から出力された複数の分割ビデオ信号がサンプリングされて、それぞれ予め定められた特定のソース信号線に入力される構成を有していれば良い。

【0068】

【実施例】以下に、本発明の実施例を示す。

【0069】(実施例1) 本発明の分割ビデオ信号を生

成する回路群を有する、液晶を用いたアクティブマトリクス型半導体表示装置（アクティブマトリクス型液晶表示装置）の構成のについて説明する。図4に、本発明の分割ビデオ信号を生成する回路群を有するアクティブマトリクス型液晶表示装置の一例をブロック図で示すが、本発明はこの構成に限定されない。

【0070】なお本実施例では、図1に示した構成を有する分割ビデオ信号を生成する回路群を用いているが、本実施例において用いられる、分割ビデオ信号を生成する回路群は、図1に示した構成に限定されない。ある一定の期間ごとに、複数のバッファ回路と、前記複数のバッファ回路にそれぞれ入力する複数の分割ビデオ信号の組み合わせが変えられており、そして複数のバッファ回路から出力された複数の分割ビデオ信号が、それぞれ予め定められた特定の分割ビデオ信号線に入力される構成を有していれば良い。

【0071】115はソース信号線駆動回路、116はゲート信号線駆動回路、120は画素部、110は分割ビデオ信号を生成する回路群の中の、第2入れ替え回路を示している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つずつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を2つ設けても良いし、ゲート信号線駆動回路を2つ設けても良い。

【0072】ソース信号線駆動回路115は、シフトレジスタ回路115_1、レベルシフト回路115_2、サンプリング回路115_3を有している。なおレベルシフト回路は必要に応じて用いられよく、必ずしも用いなくとも良い。また本実施例においてレベルシフト回路115_2はシフトレジスタ回路115_1とサンプリング回路115_3との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ回路115_1の中にレベルシフト回路115_2が組み込まれている構成にしても良い。

【0073】クロック信号（CLK）、スタートパルス信号（SP）は、図1で示した制御回路101からシフトレジスタ回路115_1に入力される。本実施例において分割ビデオ信号を生成する回路群はICチップ上に設けられており、FPCを介してアクティブマトリクス基板上のソース信号線駆動回路115と接続されている。

【0074】シフトレジスタ回路115_1から分割ビデオ信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト回路115_2に入力され、その電位の振幅を大きくされて出力される。

【0075】レベルシフト回路115_2から出力されたサンプリング信号は、サンプリング回路115_3に入力される。そして同時に、第2入れ替え回路110から分割ビデオ信号線を介して分割ビデオ信号（ $V_{s1} \sim$

V_{sm}) が、サンプリング回路115_3に入力される。第2入れ替え回路110は図1に示した分割ビデオ信号を生成する回路群に含まれている。

【0076】サンプリング回路115_3において、入力された分割ビデオ信号（ $V_{s1} \sim V_{sm}$ ）がサンプリング信号によってそれぞれサンプリングされ、m個の画像信号としてソース信号線117を介して所定の画素に入力される。

【0077】画素部120では、ソース信号線駆動回路115に接続されたソース信号線117と、ゲート信号線駆動回路116に接続されたゲート信号線118とが交差している。そのソース信号線117とゲート信号線118とに囲まれた領域に、画素119の薄膜トランジスタ（画素TFT）121と、対向電極と画素電極の間に液晶を挟んだ液晶セル122と、保持容量123とが設けられている。

【0078】画素TFT121は、ゲート信号線駆動回路116からゲート信号線118を介して入力される選択信号により動作する。ソース信号線117のうち対応するm本のソース信号線にそれぞれ入力されたm個の画像信号は、画素TFT121により選択され、同時に所定の画素電極に書き込まれる。

【0079】以下に図5を用いて、ソース信号線をm分割で分割駆動したアクティブマトリクス型液晶表示装置の動作の例について説明する。

【0080】図5に示すように、1フレーム期間は複数のライン期間で構成されている。なお本明細書において1フレーム期間（F）とは、画素部にある一画面（フレーム）を表示するためのデータが入力され始めてから、次の一画面を表示するためのデータが入力され始めるまでの期間を意味する。そして1ライン期間（L）とは、あるゲート信号線に選択信号が入力されはじめてから、次のゲート信号線に選択信号が入力されるまでの期間を意味する。

【0081】本実施例においてソース信号線は1番目からn番目まで存在しており、ゲート信号線は1番目からr番目まで存在している。よって1フレーム期間中に $L_1 \sim L_r$ のライン期間が存在することになる。なおn、rは共に任意の正の整数である。

【0082】ライン期間 L_1 において、ゲート信号線駆動回路116から1番目のゲート信号線に選択信号が入力される。その結果1番目のゲート信号線に接続されている画素の画素TFTが全てオンの状態になる。つまり1番目のゲート信号線に接続されている全ての画素（1, 1）、（1, 2）、…、（1, m）、…、（1, n）が有する画素TFTが、オンの状態になる。

【0083】そしてソース信号線駆動回路115から、1番目からm番目までのm本のソース信号線のそれぞれに、m個の画像信号が同時に入力される。つまり、1番目のゲート信号線に接続され、なおかつ1番目からm番

目までの m 本のソース信号線のいずれかに接続されている画素(1, 1)、(1, 2)、…、(1, m)のそれぞれに、 m 個の画像信号が同時に入力される。その結果、この入力された m 個の画像信号の電位により液晶が駆動し、透過光量が制御されて、画素(1, 1)、(1, 2)、…、(1, m)に画像(画面)の一部(画素(1, 1)、(1, 2)、…、(1, m)に相当する画像)が表示される。

【0084】次に、画素(1, 1)、(1, 2)、…、(1, m)に画像が表示された状態を保持容量等で保持したまま、ソース信号線駆動回路115から、 $m+1$ 番目から $2m$ 番目までの m 本のソース信号線のそれぞれに、 m 個の画像信号が同時に入力される。つまり、1番目のゲート信号線に接続され、なおかつ $m+1$ 番目から $2m$ 番目までの m 本のソース信号線のいずれかに接続されている画素(1, $m+1$)、(1, $m+2$)、…、(1, $2m$)のそれぞれに、 m 個の画像信号が同時に入力される。その結果、この入力された、 m 個の画像信号の電位により液晶が駆動し、透過光量が制御されて、画素(1, $m+1$)、(1, $m+2$)、…、(1, $2m$)に画像の一部(画素(1, $m+1$)、(1, $m+2$)、…、(1, $2m$)に相当する画像)が表示される。

【0085】このような表示動作を順次行い、1番目のゲート信号線に接続されている画素(1, 1)、(1, 2)、…、(1, m)、…、(1, n)の全てに画像の一部を次々と表示させる。この第1のライン期間 L_1 中において、1番目のゲート信号線には選択信号が入力され続けている。そして一度画像の一部が表示された画素は、再び画像信号が該画素に入力されるまで、表示された状態を保持容量等で保持し続ける。

【0086】1番目のゲート信号線に接続されている画素の全てに画像情報を有する信号が入力されると、1番目のライン期間 L_1 が終了し、1番目のゲート信号線には選択信号が入力されなくなる。引き続いて2番目のライン期間 L_2 となり、2番目のゲート信号線にのみ選択信号が入力される。そしてライン期間 L_1 の場合と同様に、2番目のゲート信号線に接続されている全ての画素に画像信号が入力される。その結果、2番目のゲート信号線に接続されている画素の全てに画像の一部が次々と表示される。この間、2番目のゲート信号線には選択信号が入力され続けている。

【0087】2番目のライン期間 L_2 が終了すると3番目のライン期間 L_3 になり、順に r 番目のライン期間 L_r まで同じ動作を繰り返す。 r 番目のライン期間 L_r が終了すると、画素部120に1つの画像(フレーム)が表示される。そして図5では図示していないが、 r 番目のライン期間 L_r と次のフレーム期間の最初のライン期間 L_1 との間に帰線期間を設けても良い。帰線期間を設ける場合、ライン期間 $L_1 \sim L_r$ と帰線期間とを含めて1フレーム期間とする。

【0088】これらの表示動作を順次繰り返すことにより、画素部120に画像を表示する。

【0089】なお本実施例では、 L_1 においては1番目から m 番目のソース信号線に、 L_2 においては $m+1$ 番目から $2m$ 番目のソース信号線に、 L_3 においては $2m+1$ 番目から $3m$ 番目のソース信号線にと、 m 本のソース信号線毎に、順に画像信号を入力していた。しかし本発明はこの構成に限定されない。各ライン期間において、画像信号を入力する m 本のソース信号線はどのような順序で選択しても良い。

【0090】本発明は上述したように分割駆動を行う。そして本発明は、分割ビデオ信号を形成するための図1で示した回路群によって、特性が異なるバッファ回路から出力された分割ビデオ信号が、他の分割ビデオ信号との間に電位差を有していることによって画面中に明暗による縞(分割縞)が表示されても、ある期間ごとにその分割縞の表示される位置が移動する。そのため画面中に分割縞が表示されても、観察者に視認されにくい。

【0091】よって、本発明は上述した分割駆動を行う際に、観察者に分割縞が視認されにくい。そしてなおかつ、分割駆動することによって、高精細、高解像度、多階調の画像の表示が可能になる。

【0092】(実施例2)本実施例では、実施例1で示したソース信号線駆動回路の詳しい回路構成について説明する。なお実施例1で示したソース信号線駆動回路は、本実施例で示す構成に限定されない。本実施例では4分割の場合の分割駆動について説明する。

【0093】図6に本実施例のソース信号線駆動回路の回路図を示す。115_1はシフトレジスタ回路、115_2はレベルシフト回路、115_3はサンプリング回路を示している。

【0094】クロック信号CLK、スタートパルス信号SP、駆動方向切り替え信号SL/Rは、それぞれ図に示した配線からシフトレジスタ回路115_1に入力される。分割ビデオ信号は分割ビデオ信号線124を介してサンプリング回路115_3に入力される。4分割の分割駆動なので、分割ビデオ信号線124は4本存在する。

【0095】各分割ビデオ信号線124に入力された分割ビデオ信号は、サンプリング回路115_3において、レベルシフト回路115_2から入力されるサンプリング信号によってサンプリングされる。具体的には、分割ビデオ信号はサンプリング回路115_3が有するアナログスイッチ125においてサンプリングされ、4個の画像信号として、それぞれ対応するソース信号線117_1~117_4に同時に入力される。

【0096】上記動作を繰り返すことによって、全てのソース信号線に画像信号が入力される。

【0097】図7(A)にアナログスイッチ125の等価回路図を示す。アナログスイッチ125は n チャネル

型TFTとpチャネル型TFTとを有している。分割ビデオ信号が図に示す配線からVinとして入力される。そしてレベルシフト回路115__2から出力されたサンプリング信号と該サンプリング信号とは逆の極性を有する信号が、それぞれINまたはINbから入力される。このサンプリング信号によって分割ビデオ信号がサンプリングされ、画像信号がアナログスイッチからVoutとして出力される。

【0098】図7(B)にレベルシフト回路115__2の等価回路図を示す。シフトレジスタ回路115__1から出力されたサンプリング信号と該サンプリング信号とは逆の極性を有する信号が、それぞれVinまたはVinbから入力される。また、Vddhはプラスの電圧、Vssはマイナスの電圧の印加を示している。レベルシフト回路115__2は、Vinに輸入された信号を高電圧化し反転させた信号が、Voutbから出力されるように設計されている。つまり、VinにHiが入力されるとVoutbからVss相当の信号が、Loが入力されるとVoutからVddh相当の信号が出力される。

【0099】なお本実施例の構成は、実施例1と自由に組み合わせて実施することが可能である。

【0100】(実施例3) 本実施例では、実施の形態、実施例1、実施例2で示したものと別形態を有する、本発明のアナログ駆動のアクティブマトリクス型半導体表示装置について説明する。

【0101】本実施例における分割ビデオ信号を生成する回路群について、図8を用いて説明する。なおここでは、アナログ駆動のアクティブマトリクス型半導体表示装置をm分割で分割駆動する場合について説明する。

【0102】601は制御回路、602はA/D変換回路、603は γ 補正回路、604はD/A変換回路、605は分割回路、606は入れ替えデータ回路を示している。

【0103】Hsync信号とVsync信号とが制御回路601に入力される。そして制御回路601からソース信号線駆動回路を駆動するクロック信号(CK)、スタートパルス信号(SP)等がソース信号線駆動回路に入力されている。またさらに制御回路601から、A/D変換回路602、 γ 補正回路603、D/A変換回路604、分割回路605、入れ替えデータ回路606に、それぞれ各回路を駆動する信号が入力されている。

【0104】画像情報を有するアナログのビデオ信号が、A/D変換回路602に入力される。A/D変換回路602に入力されたアナログのビデオ信号は、デジタルのビデオ信号に変換され、 γ 補正回路603に入力される。 γ 補正回路603に入力されたデジタルのビデオ信号は、 γ 補正されてD/A変換回路604に入力される。D/A変換回路604に入力された γ 補正後のデジタルのビデオ信号は、再びアナログのビデオ信号に変換され、分割回路605に入力される。

【0105】分割回路605に輸入されたアナログのビデオ信号は、シリアル-パラレル変換され、分割駆動の分割数分だけ分割された分割ビデオ信号になる。m分割の分割駆動の場合、アナログのビデオ信号はm個の分割ビデオ信号に変換されることになる。

【0106】m個の分割ビデオ信号は、第1入れ替え回路608に同時に入力される。図9に点線で囲った部分607の詳しいブロック図を示す。608は第1入れ替え回路、609はバッファ回路群、611aは第1入れ替えデータ処理回路である。バッファ回路群609は少なくともm個のバッファ回路(609__1~609__m)を有している。

【0107】第1入れ替え回路608は、入力された分割ビデオ信号(Vs1~Vsm)を、第1入れ替えデータ処理回路611aから入力される第1入れ替え信号によって、バッファ回路(609__1~609__m)にそれぞれ入力する。その際、入力するm個の分割ビデオ信号(Vs1~Vsm)と、m個のバッファ回路(609__1~609__m)とは一対一で対応している。そしてm個の分割ビデオ信号のうちのどの分割ビデオ信号が、m個のバッファ回路のうちのどのバッファ回路に入力されるかが、第1入れ替えデータ処理回路611aから入力される第1入れ替え信号によって決められる。

【0108】バッファ回路(609__1~609__m)に入力されたm個の分割ビデオ信号(Vs1~Vsm)は、各バッファ回路において緩衝増幅され、第2入れ替え回路615__3に入力される。また同時に第1入れ替えデータ処理回路611aから第2入れ替え回路615__3に第1入れ替え情報信号が入力される。第1入れ替え情報信号とは、第1入れ替え回路608において分割ビデオ信号(Vs1~Vsm)とバッファ回路(609__1~609__m)の組み合わせが、第1入れ替え信号によってどのように変えられたかという情報を含んでいる信号である。なお本実施例において第2入れ替え回路615__3はソース信号線駆動回路内に組み込まれている。

【0109】次に図11を用いて、第2入れ替え回路615__3及び第2入れ替えデータ処理回路611bの動作について説明する。なお図11に示す構成は本発明の分割ビデオ信号を生成する回路群を有するのアクティブマトリクス型液晶表示装置の一例であり、本発明はこの構成に限定されない。

【0110】図11に示したアクティブマトリクス型液晶表示装置は、分割ビデオ信号を生成する回路群の一部である第2信号入れ替え回路615__3及び第2入れ替えデータ処理回路611bがアクティブマトリクス基板上のソース信号線駆動回路615内に設けられている。なお第2入れ替えデータ処理回路611bはソース信号線駆動回路615内に設けない構成にしても良い。

【0111】クロック信号(CLK)、スタートパルス

信号 (SP) 等が、制御回路 601 からソース信号線駆動回路 615 内のシフトレジスタ回路 615_1 に入力される。

【0112】シフトレジスタ回路 615_1 から分割ビデオ信号をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号は同じくソース信号線駆動回路 615 内のレベルシフト回路 615_2 に入力され、その振幅を大きくされて出力される。

【0113】なおレベルシフト回路は必要に応じて用いられればよく、必ずしも用いなくても良い。また本実施例においてレベルシフト回路 615_2 はシフトレジスタ回路 615_1 と第 2 入れ替え回路 615_3 との間に設ける構成としたが、本発明はこの構成に限定されない。シフトレジスタ回路 615_1 の中にレベルシフト回路 615_2 が組み込まれている構成にしても良い。

【0114】レベルシフト回路 615_2 から出力されたサンプリング信号は、ソース信号線駆動回路 615 内の第 2 入れ替え回路 615_3 に入力される。

【0115】一方、第 1 入れ替えデータ処理回路 611a から出力された第 1 入れ替え情報信号が、第 2 入れ替えデータ処理回路 611b に入力される。そして第 1 入れ替え情報信号によって、第 2 入れ替えデータ処理回路 611b から出力された第 2 入れ替え信号が、第 2 入れ替え回路 615_3 に入力される。

【0116】また同時に、バッファ回路群 609 から出力された分割ビデオ信号 ($V_{s1} \sim V_{sm}$) が、分割ビデオ信号線を介して第 2 入れ替え回路 615_3 に入力される。

【0117】第 2 入れ替え信号によって、第 2 入れ替え回路 615_3 は、m 本のソース信号線のそれぞれに入力すべき分割ビデオ信号 ($V_{s1} \sim V_{sm}$) が入力されている分割ビデオ信号線 ($V_{l1} \sim V_{lm}$) を 1 つずつ選択する。そしてサンプリング信号によって m 個の分割ビデオ信号 ($V_{s1} \sim V_{sm}$) をサンプリングし、m 個の画像信号として、予め定められた m 本のソース信号線にそれぞれ入力する。つまり第 1 入れ替え信号によって m 個の分割ビデオ信号 ($V_{s1} \sim V_{sm}$) のそれぞれが、どのバッファ回路 ($609_1 \sim 609_m$) に入力されるかに拘わらず、m 個のバッファ回路 ($609_1 \sim 609_m$) から出力された m 個の分割ビデオ信号 ($V_{s1} \sim V_{sm}$) をサンプリングして生成した m 個の画像信号を、予め定められている m 本のソース信号線にそれぞれ入力する。

【0118】ソース信号線に入力された m 個の画像信号は所定の画素に入力される。

【0119】画素部 617 では、第 2 入れ替え回路 611b に接続されたソース信号線と、ゲート信号線駆動回路 616 に接続されたゲート信号線とが交差している。そのソース信号線とゲート信号線とに囲まれた領域に、画素の薄膜トランジスタ (画素 TFT) と、対向電極と

画素電極の間に液晶を挟んだ液晶セルと、保持容量とが設けられている。

【0120】画素 TFT は、ゲート信号線駆動回路からゲート信号線を介して入力される選択信号により動作する。ソース信号線のうち対応する m 本のソース信号線にそれぞれ入力された m 個の画像信号は、画素 TFT により選択され、同時に所定の画素電極に書き込まれる。

【0121】次に、入れ替えデータ回路 606 について説明する。入れ替えデータ回路 606 において生成される入れ替えデータ信号が、第 1 入れ替えデータ処理回路 611a に入力されることによって、第 1 入れ替え信号と第 1 入れ替え情報信号とが生成される。

【0122】図 10 に入れ替えデータ回路 606 のブロック図を示す。612 はカウンタ回路、613 はメモリ回路である。メモリ回路 613 には、どの分割ビデオ信号がどのバッファ回路に入力されるかのデータ、言い換えると、分割ビデオ信号 ($V_{s1} \sim V_{sm}$) とバッファ回路 ($609_1 \sim 609_m$) との組み合わせのデータ (入れ替えデータ) が q 通り記憶されている。

【0123】この分割ビデオ信号とバッファ回路との q 通りの組み合わせは、それぞれメモリ回路のメモリアドレスの 0 番地から (q-1) 番地に入れ替えデータとして記憶されている。

【0124】カウンタ回路 612 は制御回路 601 から入力された信号によって駆動し、メモリ回路 613 のメモリアドレスの番地を指定するカウンタ値を決定する。例えばカウンタ値が 0 だとメモリ回路 613 のメモリアドレスは 0 番地が指定され、カウンタ値が 1 だと 1 番地が、カウンタ値が 2 だと 2 番地が、カウンタ値が (q-1) だと (q-1) 番地がそれぞれ指定される。カウンタ値の情報はカウンタ信号としてカウンタ回路 612 からメモリ回路 613 に入力される。

【0125】メモリ回路 613 に入力されたカウンタ信号によって、メモリアドレスの番地が指定される。そして指定された番地に記憶されている分割ビデオ信号とバッファ回路との組み合わせの情報である入れ替えデータが、入れ替えデータ信号として第 1 入れ替えデータ処理回路 611a に入力される。

【0126】なお、カウンタ値はある一定の期間ごとにその値が変わってゆく。カウンタ値の値が変わるごとに、カウンタ信号としてメモリ回路 613 にカウンタ値の情報が伝えられる。そしてこのカウンタ値が変わるまでの期間が、分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間に相当する。

【0127】カウンタ値が 0 から (q-1) までの値を一通りとったら、再び 0 から (q-1) までの値をとっていく。つまりメモリ回路 613 のメモリアドレスの番地が 0 番地から (q-1) 番地まで一通り指定されたら、再び 0 番地から (q-1) 番地までの指定が開始される。カウンタ値がとる値に特に順番はなく、0 から

($q-1$) までの値を順にとっても良いし、ランダムにとっても良い。

【0128】また分割ビデオ信号 ($V_{s1} \sim V_{sm}$) とバッファ回路 ($609_1 \sim 609_m$) との組み合わせのデータである入れ替えデータの数 q は大きいほど良い。しかし、分割ビデオ信号とバッファ回路の組み合わせを組み替えない図 17 で示した従来例に比べて、分割縞を観察者に視認されにくくすることができるぐらいの大きさの数であれば良い。

【0129】またメモリ回路 613 に記憶される分割ビデオ信号とバッファ回路の組み合わせは、分割ビデオ信号とバッファ回路の組み合わせを組み替えない図 17 で示した従来例に比べて、分割縞を観察者に視認されにくくすることができる組み合わせであれば何でも良い。乱数や他の関数を利用し、分割ビデオ信号とバッファ回路の組み合わせを設定しても良い。

【0130】この分割ビデオ信号とバッファ回路の組み合わせはランダムであっても良いが、必ずしもそうである必要はない。分割ビデオ信号とバッファ回路の組み合わせがある一定の規則性を有していても良いことは、実施の形態において説明したとおりである。本発明において重要なのは、分割ビデオ信号とバッファ回路の組み合わせをある期間ごとに変えることによって、分割縞を観察者に視認されにくくすることである。

【0131】本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを 1 つずつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を 2 つ設けても良いし、ゲート信号線駆動回路を 2 つ設けても良い。

【0132】なお本発明では分割ビデオ信号とバッファ回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間を分割縞を観察者に視認されにくい程度の長さに設定することが重要である。バッファ回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間は、言い換えるとカウンタ値が変化してから、次にまたカウンタ値が変わるまでの期間である。そしてその期間は、第 1 入れ替え信号及び第 2 切り替え信号の有する情報が変化してから、次にまた第 1 入れ替え信号及び第 2 切り替え信号の有する情報が変わるまでの期間にも相当する。

【0133】分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間は短い方が好ましく、より分割縞を観察者に視認されにくくなる。分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間は $1/20 \text{ sec}$ 以下であることが望ましい。本実施の形態においては、1 フレーム期間ごとに、分割ビデオ信号とバッファ回路の組み合わせが変わるように設定する。

【0134】本実施例では、実施例 1 において分割ビデオ信号を形成するための回路群の一部である第 2 入れ替え回路をソース信号線駆動回路内に形成し、同時にサン

プリング回路としての機能を持たせた。しかし本発明はこの構成に限定されない。第 2 入れ替え回路にサンプリング回路としての機能を持たせず、サンプリング回路を別途ソース信号線駆動回路内に設けても良い。またアクティブマトリクス基板上に第 2 入れ替え回路をソース信号線駆動回路とは別に形成しても良い。この場合、第 2 入れ替え回路は外付けの回路として IC チップ上に設けられた分割ビデオ信号を形成するための回路群とアクティブマトリクス基板上に設けられたソース信号線駆動回路との間に設け、IC チップ上に設けられた分割ビデオ信号を形成するための回路群と第 2 入れ替え回路とが FPC を介して接続されている構成を有していても良い。

【0135】また本実施例において第 2 入れ替えデータ処理回路をソース信号線駆動回路内に設けたが、言うまでもなく第 2 入れ替えデータ処理回路をソース信号線駆動回路とは別に、アクティブマトリクス基板上に形成しても良い。また第 1 入れ替えデータ処理回路と第 2 入れ替えデータ処理回路とを一つにまとめて IC チップ上に設け、FPC を介してアクティブマトリクス基板上の第 2 入れ替え回路に第 2 入れ替え信号を入力する構成にしても良い。

【0136】また本実施例においては入れ替えデータ信号を第 1 入れ替えデータ処理回路にのみ入力し、第 1 入れ替えデータ処理回路から第 2 入れ替えデータ処理回路に第 1 入れ替え情報信号が入力される構成になっている。しかし本発明はこの構成に限定されず、入れ替えデータ信号を第 1 入れ替えデータ処理回路と第 2 入れ替えデータ処理回路の両方に入力し、第 2 入れ替えデータ処理回路において、第 1 入れ替え情報信号からではなく、入れ替えデータ信号から第 2 入れ替え信号を生成する構成にしても良い。

【0137】本発明は上記構成によって、特性が異なるバッファ回路から出力された分割ビデオ信号が、他の分割ビデオ信号との間に電位差を有していることによって画面中に明暗による縞 (分割縞) が表示されても、ある期間ごとにその分割縞の表示される位置が移動する。そのため画面中に分割縞が表示されても、観察者に視認されにくい。

【0138】よって、本発明は分割駆動を行う際に、観察者に分割縞が視認されにくい。そしてなおかつ分割駆動することによって、アクティブマトリクス型半導体表示装置の水平方向の画素数を増やしても、ソース信号線駆動回路の駆動周波数を抑えつつ表示画像のチラツキやフリッカを防ぐことができ、高精細、高解像度、多階調の画像の表示が可能になる。

【0139】なお本実施例は図 8 ～ 図 11 に示した構成に限定されない。ある一定の期間ごとに、複数のバッファ回路と、前記複数のバッファ回路にそれぞれ入力する複数の分割ビデオ信号の組み合わせを変え、そして複数の分割ビデオ信号がサンプリングされて、それぞれ予め

定められた特定のソース信号線に入力される構成を有していれば良い。

【0140】（実施例4）

【0141】本実施例では、実施例3で示したソース信号線駆動回路の詳しい回路構成について説明する。なお実施例3で示したソース信号線駆動回路は、本実施例で示す構成に限定されない。本実施例では説明を容易にするために、4分割の場合の分割駆動を例にとって説明する。

【0142】図12に本実施例のソース信号線駆動回路の回路図を示す。615__1はシフトレジスタ回路、615__2はレベルシフト回路、615__3は第2入れ替え回路、611bは第2入れ替えデータ処理回路を示している。

【0143】クロック信号CLK、スタートパルス信号SP、駆動方向切り替え信号SL/Rは、それぞれ図に示した配線からシフトレジスタ回路615__1に入力される。

【0144】分割ビデオ信号は分割ビデオ信号線616を介して第2入れ替え回路615__3に入力される。4分割の分割駆動なので、分割ビデオ信号線616は4本存在する。

【0145】また第1入れ替え情報信号が第2入れ替えデータ処理回路611bに入力され、第2入れ替え信号が出力される。出力された第2入れ替え信号は、第2入れ替え回路615__3が有するNAND回路619に入力される。そして同時にレベルシフト回路615__2から出力されたサンプリング信号がNAND回路619に入力される。

【0146】NAND回路619に入力された第2入れ替え信号及びサンプリング信号によって、分割ビデオ信号線の1つが選択され、前記分割ビデオ信号線に入力されている分割ビデオ信号がサンプリングされる。そしてサンプリングされた分割ビデオ信号は、画像信号としてソース信号線に入力される。具体的には、分割ビデオ信号は第2入れ替え回路615__3が有するアナログスイッチ617によってサンプリングされ、画像信号として対応するソース信号線618__1～618__4に同時にそれぞれ入力される。

【0147】上記動作を繰り返すことによって、全てのソース信号線に画像信号が入力される。

【0148】なお、本実施例において用いられるアナログスイッチ617及びレベルシフト回路615__2は、図7に示した構成を有している。しかし本実施例はこの構成に限定されないのは言うまでもない。

【0149】（実施例5）本実施例では本発明の構成を、デジタル駆動のアクティブマトリクス型液晶表示装置に用いた例について説明する。なおここでは、m分割で分割駆動する場合について説明する。

【0150】図13に本実施例の分割ビデオ信号を生成

する回路群のブロック図を示す。701は制御回路、702はA/D変換回路、703は γ 補正回路、705は分割回路、706は入れ替えデータ回路を示している。

【0151】Hsync信号とVsync信号とが制御回路701に入力される。そして制御回路701からソース信号線駆動回路を駆動するクロック信号（CK）、スタートパルス信号（SP）等がソース信号線駆動回路に入力される。またさらに制御回路701から、A/D変換回路702、 γ 補正回路703、分割回路705、入れ替えデータ回路706に、それぞれ各回路を駆動する信号が入力されている。

【0152】画像情報を有するアナログのビデオ信号が、A/D変換回路702に入力される。入力されたアナログのビデオ信号は、デジタルのビデオ信号に変換され、 γ 補正回路703に入力される。 γ 補正回路703に入力されたデジタルのビデオ信号は、 γ 補正されて分割回路705に入力される。

【0153】入力されたデジタルのビデオ信号は、分割回路705においてシリアルーパラレル変換され、分割駆動の分割数分に分割された分割ビデオ信号に変換される。m分割の分割駆動の場合、デジタルのビデオ信号はm個の分割ビデオ信号に変換されることになる。sビット（sは正の整数）のデジタル駆動の場合、このm個の分割ビデオ信号の一つ一つは、D₀からD_Sのs個のデジタル分割ビデオ信号からなっている。

【0154】m個の分割ビデオ信号は、第1入れ替え回路708に入力される。図14に点線で囲った部分707の詳しいブロック図を示す。708は第1入れ替え回路、709はバッファ回路群、711は入れ替えデータ処理回路である。バッファ回路群709は少なくともm個のバッファ回路（709__1～709__m）を有している。

【0155】第1入れ替え回路708は、入力された分割ビデオ信号（Vs1～Vsm）を、入れ替えデータ処理回路711から入力される第1入れ替え信号によって、バッファ回路（709__1～709__m）にそれぞれ入力する。その際、入力するm個の分割ビデオ信号（Vs1～Vsm）と、m個のバッファ回路（709__1～709__m）とは一対一で対応している。そしてm個の分割ビデオ信号のうちのどの分割ビデオ信号が、m個のバッファ回路のうちのどのバッファ回路に入力されるかが、入れ替えデータ処理回路711から入力される第1入れ替え信号によって決められる。

【0156】バッファ回路（709__1～709__m）に入力されたm個の分割ビデオ信号（Vs1～Vsm）は、各バッファ回路において緩衝増幅され、ソース信号線駆動回路が有するラッチ回路1801～2に入力される。

【0157】図15は、本実施例のアクティブマトリクス型液晶表示装置の概略ブロック図である。801はソ

ース信号線駆動回路であり、802はゲート信号線駆動回路である。803は画素部である。

【0158】ソース信号線駆動回路801は、シフトレジスタ回路801-1、ラッチ回路1(801-2)、ラッチ回路2(801-3)、セクタ回路1(801-4)、D/A変換回路801-5、セクタ回路2(801-6)を有している。その他、バッファ回路やレベルシフト回路(いずれも図示せず)を有していても良い。また、DAC801-5にレベルシフト回路が含まれていても良い。

【0159】本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つずつ設けたが、本発明はこの構成に限定されない。ソース信号線駆動回路を2つ設けても良いし、ゲート信号線駆動回路を2つ設けても良い。

【0160】またゲート信号線駆動回路802は、シフトレジスタ回路、バッファ回路(いずれも図示せず)を有している。また、レベルシフト回路を有していても良い。

【0161】画素部803は、複数の画素を有している。各画素には画素TFTが配置されており、各画素TFTのソース領域にはソース信号線が、ゲート電極にはゲート信号線が電気的に接続されている。また、各画素TFTのドレイン領域には画素電極が電気的に接続されている。各画素TFTは、各画素TFTに電気的に接続された画素電極への映像信号(アナログ信号)の供給を制御している。各画素電極に映像信号(アナログ信号)が供給され、各画素電極と対向電極との間に挟まれた液晶に電圧が印加され液晶が駆動される。

【0162】ソース信号線側駆動回路801の動作について説明する。シフトレジスタ回路801-1にクロック信号(CK)、スタートパルス(SP)が入力される。シフトレジスタ回路801-1は、これらのクロック信号(CK)およびスタートパルス(SP)に基づきタイミング信号を順に発生させ、ラッチ回路1(801-2)へタイミング信号を順次供給する。

【0163】ラッチ回路1(801-2)は、それぞれsビットのデジタル分割ビデオ信号からなるm個の分割ビデオ信号を処理するラッチ回路を有している。ラッチ回路1(801-2)は、前記タイミング信号が入力されると、図13に示したバッファ回路709から供給される分割ビデオ信号を、m個ずつ順次取り込み、保持する。

【0164】ラッチ回路1(801-2)の全てのステージのラッチ回路に分割ビデオ信号の書き込みが一通り終了するまでの時間は、ライン期間と呼ばれる。すなわち、ラッチ回路1(801-2)の中で一番左側のステージのラッチ回路に分割ビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチ回路に分割ビデオ信号の書き込みが終了する時点までの時間間隔が

ライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間と呼ぶこともある。

【0165】1ライン期間の終了後、ラッチ回路2(801-3)にラッチシグナル(Latch Signal)が供給される。この瞬間、ラッチ回路1(801-2)に書き込まれ保持されている分割ビデオ信号は、ラッチ回路2(801-3)に一斉に送出され、ラッチ回路2(801-3)の全ステージのラッチ回路に書き込まれ、保持される。

【0166】分割ビデオ信号をラッチ回路2(801-3)に送出し終えたラッチ回路1(801-2)には、シフトレジスタ回路801-1からのタイミング信号に基づき、再びバッファ回路709から分割ビデオ信号線を介して供給される分割ビデオ信号の書き込みが、m個ずつ順次行われる。

【0167】この2順目の1ライン期間中には、ラッチ回路2(801-3)に書き込まれ、保持されている分割ビデオ信号が、セクタ回路1(801-4)によって順次選択され、D/A変換回路(DAC)801-5に供給される。

【0168】セクタ回路801-4で選択された分割ビデオ信号がDAC801-5に供給される。

【0169】DAC801-5は、デジタルの分割ビデオ信号をm個のアナログの分割ビデオ信号に変換し、セクタ回路2(801-6)によって選択されるソース信号線に順次供給する。

【0170】本実施例では、セクタ回路2(801-6)には、入れ替えデータ処理回路711から第2入れ替え信号が入力されている。セクタ回路1(801-4)は、入れ替えデータ処理回路711から入力される第2入れ替え信号によって、DAC801-5から出力されたm個のアナログの分割ビデオ信号をそれぞれ特定のソース信号線に入力する。つまり第1入れ替え信号によってm個の分割ビデオ信号(Vs1~Vs m)のそれぞれが、どのバッファ回路(709_1~709_m)に入力されるかに拘わらず、DAC801-5から出力されたm個のアナログの分割ビデオ信号(Vs1~Vs m)を、予め定められているm本のソース信号線にそれぞれ入力する。

【0171】第1入れ替え信号と第2入れ替え信号は、入れ替えデータ処理回路711に入れ替えデータ信号が入力されることによって生成される。入れ替えデータ信号は入れ替えデータ回路706において生成される。なお本実施例における入れ替えデータ回路706の動作については、実施の形態において上述したアナログ駆動の場合の入れ替えデータ回路の動作と同じである。

【0172】ソース信号線に供給されるアナログの分割ビデオ信号は、ソース信号線に接続されている画素部の画素TFTのソース領域に供給される。

【0173】ゲート信号線駆動回路802においては、シフトレジスタ（図示せず）からのタイミング信号がバッファ回路（図示せず）に供給され、対応するゲート信号線（走査線）に供給される。ゲート信号線には、1ライン分の画素TFTのゲート電極が接続されており、1ライン分全ての画素TFTを同時にONにしなくてはならないので、バッファ回路には電流容量の大きなものが用いられる。

【0174】このように、ゲート信号線駆動回路802からの選択信号によって対応する画素TFTのスイッチングが行われ、ソース信号線駆動回路からのアナログの分割ビデオ信号が画素TFTに供給され、液晶分子が駆動される。

【0175】本発明は上記構成によって、特性が異なるバッファ回路、及びソース信号線駆動回路が有するD/A変換回路から出力された分割ビデオ信号が、他の分割ビデオ信号との間に電位差を有していることによって画面中に明暗による縞（分割縞）が表示されても、ある期間ごとにその分割縞の表示される位置が移動する。そのため画面中に分割縞が表示されても、観察者に視認されにくい。

【0176】なお本発明では分割ビデオ信号とバッファ回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間を分割縞が観察者に視認されにくい程度の長さに設定することが重要である。バッファ回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間は、言い換えるとカウンタ値が変化してから、次にまたカウンタ値が変わるまでの期間である。そしてその期間は、第1入れ替え信号及び第2切り替え信号の有する情報が変化してから、次にまた第1入れ替え信号及び第2切り替え信号の有する情報が変わるまでの期間にも相当する。

【0177】分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間は短い方が好ましく、より分割縞が観察者に視認されにくくなる。分割ビデオ信号とバッファ回路の組み合わせが変わるまでの期間は1/20sec以下であることが望ましい。本実施の形態においては、1フレーム期間ごとに、分割ビデオ信号とバッファ回路の組み合わせが変わるように設定する。

【0178】よって、本発明は分割駆動を行う際に、観察者に分割縞が視認されにくい。そしてなおかつ分割駆動することによって、アクティブマトリクス型半導体表示装置の水平方向の画素数を増やしても、ソース信号線駆動回路の駆動周波数を抑えつつ表示画像のチラツキやフリッカを防ぐことができ、高精細、高解像度、多階調の画像の表示が可能になる。

【0179】なお本発明は図13～図15に示した構成に限定されない。ある一定の期間ごとに、複数のバッファ回路と、前記複数のバッファ回路にそれぞれ入力する複数の分割ビデオ信号の組み合わせを、任意に組み替

え、そして複数の分割ビデオ信号がサンプリングされてそれぞれ対応するソース信号線に輸入される構成を有していれば良い。

【0180】（実施例6）実施例1～5に示した構造を有するアクティブマトリクス基板を用い、アクティブマトリクス型液晶表示装置を形成した例を図16に示す。図16はアクティブマトリクス型液晶表示装置のディスプレイに相当する部位であり、液晶パネルとも呼ばれる。なお本実施例では液晶パネルのFPCとの貼り合わせの部分について説明するため、便宜上シール材やセル構成部は図示しなかった。

【0181】図16において、8001はアクティブマトリクス基板であり、アクティブマトリクス基板8001上に複数のTFTが形成されている。これらのTFTは基板上に画素部8002、ゲート信号線駆動回路8003、ソース信号線駆動回路8004を構成する。その様なアクティブマトリクス基板に対して対向基板8006が貼り合わされる。アクティブマトリクス基板と対向基板8006との間には液晶（図示せず）が挟持される。

【0182】また、図16に示す構成では、アクティブマトリクス基板8001の側面と対向基板8006の側面とをある1辺を除いて全てそろえることが望ましい。こうすることで大版基板からの多面取り数を効率良く増やすことができる。また、前述の1辺では、対向基板8006の一部を除去してアクティブマトリクス基板8001の一部を露出させ、そこにFPC（フレキシブル・プリント・サーキット）8007を取り付ける。FPC8007を介してICチップ上に設けられた本発明の分割ビデオ信号を生成する回路群とアクティブマトリクス基板8001のゲート信号線駆動回路8003、ソース信号線駆動回路8004とを接続する。

【0183】（実施例7）本実施例においては、本発明の半導体表示装置の1つであるアクティブマトリクス型液晶表示装置の作製方法例を図18～図22を用いて説明する。ここでは画素部の画素TFTと、画素部の周辺に設けられる駆動回路（ソース信号線駆動回路、ゲート信号線駆動回路、D/A変換回路等）のTFTを同一基板上に作製する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路ではシフトレジスタ回路、バッファ回路、D/A変換回路などの基本回路であるCMOS回路と、nチャネル型TFTとを図示することにする。

【0184】図18（A）において、基板（アクティブマトリクス基板）6001には低アルカリガラス基板や石英基板を用いることができる。本実施例では低アルカリガラス基板を用いた。この場合、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。この基板6001のTFTを形成する表面には、基板6001からの不純物拡散を防ぐために、酸化

シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜 6002 を形成する。例えば、プラズマ CVD 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 100 nm、同様に SiH_4 、 N_2O から作製される酸化窒化シリコン膜を 200 nm の厚さに積層形成する。

【0185】次に、20~150 nm (好ましくは 30~80 nm) の厚さで非晶質構造を有する半導体膜 6003a を、プラズマ CVD 法やスパッタ法などの公知の方法で形成する。本実施例では、プラズマ CVD 法で非晶質シリコン膜を 55 nm の厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体膜や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜 6002 と非晶質シリコン膜 6003a とは同じ成膜法で形成することが可能であるので、両者を連続形成しても良い。下地膜を形成した後、一旦大気雰囲気中に晒さないことでその表面の汚染を防ぐことが可能となり、作製する TFT の特性バラツキやしきい値電圧の変動を低減させることができる。(図 18 (A))

【0186】そして、公知の結晶化技術を使用して非晶質シリコン膜 6003a から結晶質シリコン膜 6003b を形成する。例えば、レーザー結晶化法や熱結晶化法(固相成長法)を適用すれば良い。レーザー結晶化の際に、連続発光エキシマレーザーを用いても良い。ここでは、特開平 7-130652 号公報で開示された技術に従って、触媒元素を用いる結晶化法で結晶質シリコン膜 6003b を形成した。結晶化の工程に先立って、非晶質シリコン膜の含有水素量にもよるが、400~500 °C で 1 時間程度の熱処理を行い、含有水素量を 5 atomic % 以下にしてから結晶化させることが望ましい。非晶質シリコン膜を結晶化させると原子の再配列が起こり緻密化するので、作製される結晶質シリコン膜の厚さは当初の非晶質シリコン膜の厚さ(本実施例では 55 nm)よりも 1~15 % 程度減少した。(図 18 (B))

【0187】そして、結晶質シリコン膜 6003b を島状に分割して、島状半導体層 6004~6007 を形成する。その後、プラズマ CVD 法またはスパッタ法により 50~100 nm の厚さの酸化シリコン膜によるマスク層 6008 を形成する。(図 18 (C))

【0188】そしてレジストマスク 6009 を設け、n チャンネル型 TFT を形成する島状半導体層 6005~6007 の全面にしきい値電圧を制御する目的で $1 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ 程度の濃度で p 型を付与する不純物元素としてボロン (B) を添加した。ボロン

(B) の添加はイオンドープ法で実施しても良いし、非晶質シリコン膜を成膜するときに同時に添加しておくこともできる。ここでのボロン (B) 添加は必ずしも必要でないが、ボロン (B) を添加した半導体層 6010~6012 は n チャンネル型 TFT のしきい値電圧を所定の

範囲内に収めるために形成することが好ましかった。

(図 18 (D))

【0189】駆動回路の n チャンネル型 TFT の LDD 領域を形成するために、n 型を付与する不純物元素を島状半導体層 6010、6011 に選択的に添加する。そのため、あらかじめレジストマスク 6013~6016 を形成した。n 型を付与する不純物元素としては、リン (P) や砒素 (As) を用いれば良く、ここではリン (P) を添加すべく、フォスフィン (PH_3) を用いたイオンドープ法を適用した。形成された不純物領域 6017、6018 のリン (P) 濃度は $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ の範囲とすれば良い。本明細書中では、ここで形成された不純物領域 6017~6019 に含まれる n 型を付与する不純物元素の濃度を (n-) と表す。また、不純物領域 6019 は、画素部の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン (P) を添加した。(図 19 (A))

【0190】次に、マスク層 6008 をフッ酸などにより除去して、図 18 (D) と図 19 (A) で添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で 500~600 °C で 1~4 時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良い。本実施例では、レーザー活性化の方法を用い、KrF エキシマレーザー光(波長 248 nm)を用い、線状ビームを形成して、発振周波数 5~300 Hz、エネルギー密度 100~500 mJ/cm² として線状ビームのオーバーラップ割合を 50~90 % として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。また連続発光エキシマレーザーを用いて活性化を行っても良い。

【0191】そして、ゲート絶縁膜 6020 をプラズマ CVD 法またはスパッタ法を用いて 10~150 nm の厚さでシリコンを含む絶縁膜で形成する。例えば、120 nm の厚さで酸化窒化シリコン膜を形成する。ゲート絶縁膜には、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。(図 19 (B))

【0192】次に、ゲート電極を形成するために第 1 の導電層を成膜する。この第 1 の導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった積層構造としても良い。本実施例では、導電性の窒化物金属膜から成る導電層 (A) 6021 と金属膜から成る導電層 (B) 6022 とを積層させた。導電層 (B) 6022 はタンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W) から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的には Mo-W 合金膜、Mo-Ta 合金膜)で形成すれば良く、導電層 (A) 6021 は窒化タンタル (Ta₂N)、窒化タングステン (WN)、窒化

チタン (TiN) 膜、窒化モリブデン (MoN) で形成する。また、導電層 (A) 6021は代替材料として、タングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層 (B) は低抵抗化を図るために含有する不純物濃度を低減させると良く、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン (W) は酸素濃度を30ppm以下とすることで $20\mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0193】導電層 (A) 6021は10~50nm (好ましくは20~30nm) とし、導電層 (B) 6022は200~400nm (好ましくは250~350nm) とすれば良い。本実施例では、導電層 (A) 6021に30nmの厚さの窒化タンタル膜を、導電層 (B) 6022には350nmのTa膜を用い、いずれもスパッタ法で形成した。このスパッタ法による成膜では、スパッタ用のガスのArに適量のXeやKrを加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。尚、図示しないが、導電層 (A) 6021の下に2~20nm程度の厚さでリン (P) をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層 (A) または導電層 (B) が微量に含有するアルカリ金属元素がゲート絶縁膜6020に拡散するのを防ぐことができる。 (図19 (C))

【0194】次に、レジストマスク6023~6027を形成し、導電層 (A) 6021と導電層 (B) 6022とを一括でエッチングしてゲート電極6028~6031と容量配線6032を形成する。ゲート電極6028~6031と容量配線6032は、導電層 (A) から成る6028a~6032aと、導電層 (B) から成る6028b~6032bとが一体として形成されている。この時、駆動回路に形成するゲート電極6029、6030は不純物領域6017、6018の一部と、ゲート絶縁膜6020を介して重なるように形成する。 (図19 (D))

【0195】次いで、駆動回路のpチャネル型TFTのソース領域およびドレイン領域を形成するために、p型を付与する不純物元素を添加する工程を行う。ここでは、ゲート電極6028をマスクとして、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTが形成される領域はレジストマスク6033で被覆しておく。そして、ジボラン (B_2H_6) を用いたイオンドーブ法で不純物領域6034を形成した。この領域のボロン (B) 濃度は $3 \times 10^{20} \sim 3 \times 10^{21} \text{atoms/cm}^3$ となるようにする。本明細書中では、ここで形成された不純物領域6034に含まれるp型を付与する不純物元素の濃度を (p^+) と表す。 (図20 (A))

【0196】次に、nチャネル型TFTにおいて、ソー

ス領域またはドレイン領域として機能する不純物領域の形成を行った。レジストのマスク6035~6037を形成し、n型を付与する不純物元素が添加して不純物領域6038~6042を形成した。これは、フォスフィン (PH_3) を用いたイオンドーブ法で行い、この領域のリン (P) 濃度を $1 \times 10^{20} \sim 1 \times 10^{21} \text{atoms/cm}^3$ とした。本明細書中では、ここで形成された不純物領域6038~6042に含まれるn型を付与する不純物元素の濃度を (n^+) と表す。 (図20 (B))

【0197】不純物領域6038~6042には、既に前工程で添加されたリン (P) またはボロン (B) が含まれているが、それに比して十分に高い濃度でリン (P) が添加されるので、前工程で添加されたリン (P) またはボロン (B) の影響は考えなくても良い。また、不純物領域6038に添加されたリン (P) 濃度は図20 (A) で添加されたボロン (B) 濃度の1/2~1/3なのでp型の導電性が確保され、TFTの特性に何ら影響を与えることはなかった。

【0198】そして、画素部のnチャネル型TFTのLDD領域を形成するためのn型を付与する不純物添加の工程を行った。ここではゲート電極6031をマスクとして自己整合的にn型を付与する不純物元素をイオンドーブ法で添加した。添加するリン (P) の濃度は $1 \times 10^{16} \sim 5 \times 10^{18} \text{atoms/cm}^3$ であり、図19 (A) および図20 (A) と図20 (B) で添加する不純物元素の濃度よりも低濃度で添加することで、実質的には不純物領域6043、6044のみが形成される。本明細書中では、この不純物領域6043、6044に含まれるn型を付与する不純物元素の濃度を (n^-) と表す。 (図20 (C))

【0199】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化するために熱処理工程を行う。この工程はファーンズアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA法) で行うことができる。ここではファーンズアニール法で活性化工程を行った。熱処理は酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~800℃、代表的には500~600℃で行うものであり、本実施例では550℃で4時間の熱処理を行った。また、基板6001に石英基板のような耐熱性を有するものを使用した場合には、800℃で1時間の熱処理としても良く、不純物元素の活性化と、該不純物元素が添加された不純物領域とチャネル形成領域との接合を良好に形成することができた。

【0200】この熱処理において、ゲート電極6028~6031と容量配線6032形成する金属膜6028b~6032bにおいて、表面から5~80nmの厚さで導電層 (C) 6028c~6032cが形成される。例えば、導電層 (B) 6028b~6032bがタングステン (W) の場合には窒化タングステン (WN) が形

成され、タンタル (Ta) の場合には窒化タンタル (Ta_N) を形成することができる。本発明では、シリコン (Si) 膜とWN膜とW膜とを積層したもの、W膜とSiを有するW膜とを積層したもの、W膜とSiを有するW膜とSiとを積層したもの、Moを有するWの膜、またはMoを有するTaの膜を用いてゲート電極としても良い。また、導電層 (C) 6028c~6032cは、窒素またはアンモニアなどを用いた窒素を含むプラズマ雰囲気中にゲート電極6028~6031を晒しても同様に形成することができる。さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素、プラズマ化した水素を用いる) を行っても良い。

【0201】島状半導体層が、非晶質シリコン膜から触媒元素を用いる結晶化の方法で作製された場合、島状半導体層中には微量の触媒元素が残留した。勿論、そのような状態でもTFTを完成させることが可能であるが、残留する触媒元素を少なくともチャネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段があった。ゲッタリングに必要なリン (P) の濃度は図20 (B) で形成した不純物領域 (n⁺) と同程度であり、ここで実施される活性化工程の熱処理により、nチャネル型TFTおよびpチャネル型TFTのチャネル形成領域から触媒元素をゲッタリングをすることができた。(図20 (D))

【0202】活性化および水素化の工程が終了したら、ゲート配線とする第2の導電膜を形成する。この第2の導電膜は低抵抗材料であるアルミニウム (Al) や銅 (Cu) を主成分とする導電層 (D) と、にチタン (Ti) やタンタル (Ta)、タングステン (W)、モリブデン (Mo) から成る導電層 (E) とで形成すると良い。本実施例では、チタン (Ti) を0.1~2重量%含むアルミニウム (Al) 膜を導電層 (D) 6045とし、チタン (Ti) 膜を導電層 (E) 6046として形成した。導電層 (D) 6045は200~400nm (好ましくは250~350nm) とすれば良く、導電層 (E) 6046は50~200nm (好ましくは100~150nm) で形成すれば良い。(図21 (A))

【0203】そして、ゲート電極に接続するゲート配線を形成するために導電層 (E) 6046と導電層 (D) 6045とをエッチング処理して、ゲート配線6047、6048と容量配線6049を形成した。エッチング処理は最初にSiCl₄とCl₂とBCl₃との混合ガスを用いたドライエッチング法で導電層 (E) の表面から導電層 (D) の途中まで除去し、その後リン酸系のエ

ッチング溶液によるウェットエッチングで導電層 (D) を除去することにより、下地との選択加工性を保ってゲート配線を形成することができた。(図21 (B))

【0204】第1の層間絶縁膜6050は500~1500nmの厚さで酸化シリコン膜または酸化窒化シリコン膜で形成され、その後、それぞれの島状半導体層に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成し、ソース配線6051~6054と、ドレイン配線6055~6058を形成する。図示していないが、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とした。

【0205】次に、パッシベーション膜6059として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜を50~500nm (代表的には100~300nm) の厚さで形成する。この状態で水素化処理を行うとTFTの特性向上に対して好ましい結果が得られた。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。なお、ここで後に画素電極とドレイン配線を接続するためのコンタクトホールを形成する位置において、パッシベーション膜6059に開口部を形成しておいても良い。(図21 (C))

【0206】その後、有機樹脂からなる第2の層間絶縁膜6060を1.0~1.5μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成した。そして、第2の層間絶縁膜6060及びパッシベーション膜6059にドレイン配線6058に達するコンタクトホールを形成し、画素電極6061、6062を形成する。画素電極は、透過型液晶表示装置とする場合には透明導電膜を用いれば良く、反射型の液晶表示装置とする場合には金属膜を用いれば良い。本実施例では透過型の液晶表示装置とするために、酸化インジウム・スズ (ITO) 膜を100nmの厚さにスパッタ法で形成した。(図22)

【0207】こうして同一基板上に、駆動回路のTFTと画素部の画素TFTとを有した基板を完成させることができた。駆動回路にはpチャネル型TFT6101、第1のnチャネル型TFT6102、第2のnチャネル型TFT6103、画素部には画素TFT6104、保持容量6105が形成された。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0208】駆動回路のpチャネル型TFT6101には、島状半導体層6004にチャネル形成領域6106、ソース領域6107a、6107b、ドレイン領域

6108a、6108bを有している。第1のnチャンネル型TFT6102には、島状半導体層6005にチャンネル形成領域6109、ゲート電極6029と重なるLDD領域6110（以降、このようなLDD領域をLovと記す）、ソース領域6111、ドレイン領域6112を有している。このLov領域のチャンネル長方向の長さは0.5~3.0 μ m、好ましくは1.0~1.5 μ mとした。第2のnチャンネル型TFT6103には、島状半導体層6006にチャンネル形成領域6113、LDD領域6114、6115、ソース領域6116、ドレイン領域6117を有している。このLDD領域はLov領域とゲート電極6030と重ならないLDD領域（以降、このようなLDD領域をLoffと記す）とが形成され、このLoff領域のチャンネル長方向の長さは0.3~2.0 μ m、好ましくは0.5~1.5 μ mである。画素TFT6104には、島状半導体層6007にチャンネル形成領域6118、6119、Loff領域6120~6123、ソースまたはドレイン領域6124~6126を有している。Loff領域のチャンネル長方向の長さは0.5~3.0 μ m、好ましくは1.5~2.5 μ mである。さらに、容量配線6032、6049と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素TFT6104のドレイン領域6126に接続し、n型を付与する不純物元素が添加された半導体層6127とから保持容量6105が形成されている。図22では画素TFT6104をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0209】以上の様に本実施例では、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化し、半導体表示装置の動作性能と信頼性を向上させることを可能とすることができる。さらにゲート電極を耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易とし、ゲート配線低抵抗材料で形成することにより、配線抵抗を十分低減できる。従って、画素部（画面サイズ）が4インチクラス以上の表示装置にも適用することができる。

【0210】なお、本実施例においては透過型の液晶パネルについて説明した。しかし、本発明はこれに限定されるわけではなく、反射型の液晶パネルにも用いることができる。

【0211】（実施例8）本実施例では、本発明を用いて発光装置を作製した例について説明する。

【0212】発光装置は、液晶表示装置と異なり自発光型である。発光素子是一对の電極（陽極と陰極）の間に有機化合物を含む層（以下、有機化合物層と記す）が挟まれた構造となっているが、有機化合物層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光

層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている発光装置は殆どこの構造を採用している。

【0213】発光素子は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られると、陽極層と、有機化合物層と、陰極層とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とがあるが、本発明の発光装置は、どちらの発光を用いても良い。

【0214】図23（A）は本発明を用いた発光装置の上面図である。図23（A）において、4010は基板、4011は画素部、4012はソース信号線駆動回路、4013はゲート信号線駆動回路であり、それぞれの駆動回路は配線4014~4016を経てFPC4017に至り、本発明の分割ビデオ信号を生成する回路群へと接続される。

【0215】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材（ハウジング材ともいう）7000、密封材（第2のシーリング材）7001が設けられている。

【0216】また、図23（B）は本実施例の発光装置の断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT（但し、ここではnチャンネル型TFTとpチャンネル型TFTを組み合わせたCMOS回路を図示している）4022及び画素部用TFT4023

（但し、ここでは発光素子への電流を制御するTFTだけ図示している。）が形成されている。これらのTFTは公知の構造（トップゲート構造またはボトムゲート構造）を用いれば良い。

【0217】駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜（平坦化膜）4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物（ITOと呼ばれる）または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0218】次に、有機化合物層4029を形成する。有機化合物層4029は電場を加えることで発生するルミネッセンスが得られる公知の有機化合物材料（正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層）を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、有機化合物材料には低分子系材料と高分子系（ポリマー系）材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合

には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0219】本実施例では、シャドーマスクを用いて蒸着法により有機化合物層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光の発光装置とすることもできる。

【0220】有機化合物層4029を形成したら、その上に陰極4030を形成する。陰極4030と有機化合物層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で有機化合物層4029と陰極4030を連続成膜するか、有機化合物層4029を不活性雰囲気中で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0221】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的には有機化合物層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0222】4031に示された領域において陰極4030と配線4016とを電気的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（有機化合物層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0223】このようにして形成された発光素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0224】さらに、発光素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材7000が設けられ、さらにシーリング材7000の外側

には密封材（第2のシーリング材）7001が形成される。

【0225】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0226】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0227】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0228】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0229】但し、発光素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0230】また、配線4016はシーリング材7000および密封材7001と基板4010との隙間を通過してFPC4017に電気的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材7000および密封材7001の下を通過してFPC4017に電気的に接続される。

【0231】なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びシーリング材7000で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（10⁻²Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0232】（実施例9）本実施例では、本発明を用いて実施例8とは異なる形態の発光装置を作製した例につ

いて、図24(A)、24(B)を用いて説明する。図23(A)、23(B)と同じ番号のものは同じ部分を指しているため説明は省略する。

【0233】図24(A)は本実施例の発光装置の上面図であり、図24(A)をA-A'で切断した断面図を図24(B)に示す。

【0234】実施例8に従って、発光素子の表面を覆ってパッシベーション膜6003までを形成する。

【0235】さらに、発光素子を覆うようにして充填材6004を設ける。この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0236】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもちせてもよい。

【0237】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0238】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastic)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十 μm のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0239】但し、発光素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0240】次に、充填材6004を用いてカバー材6000を接着した後、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付ける。フレーム材6001はシーリング材(接着剤として機能する)6002によって接着される。このとき、シーリング材6002としては、光硬化性樹脂を用いるのが好ましいが、有機化合物層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材6002はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材6002の内部に乾燥剤を添加してあっても良い。

【0241】また、配線4016はシーリング材6002と基板4010との隙間を通してFPC4017に電

氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014、4015も同様にしてシーリング材6002の下を通してFPC4017に電氣的に接続される。FPCを介して配線4014、4015、4016が本発明の分割ビデオ信号を生成する回路群と接続している。

【0242】なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面(露呈面)を覆うようにフレーム材6001を取り付けているが、カバー材6000及びフレーム材6001を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びフレーム材6001で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2}Torr 以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0243】(実施例10)ここで表示パネルにおける画素部のさらに詳細な断面構造を図25に、上面構造を図26(A)に、回路図を図26(B)に示す。図25、図26(A)及び図26(B)では共通の符号を用いるので互いに参照すれば良い。

【0244】図25において、基板3501上に設けられたスイッチング用TFT3502は公知の方法で作製されたNチャネル型TFTを用いて形成される。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に二つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、Pチャネル型TFTを用いて形成しても構わない。

【0245】また、電流制御用TFT3503は公知の方法で作製されたNチャネル型TFTを用いて形成される。このとき、スイッチング用TFT3502のドレイン配線35は配線36によって電流制御用TFTのゲート電極37に電氣的に接続されている。また、38で示される配線は、スイッチング用TFT3502のゲート電極39a、39bを電氣的に接続するゲート配線である。

【0246】電流制御用TFTは発光素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、電流制御用TFTのドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本発明の構造は極めて有効である。

【0247】また、本実施例では電流制御用TFT35

03をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0248】また、図26(A)に示すように、電流制御用TFT3503のゲート電極37となる配線は3504で示される領域で、電流制御用TFT3503のドレイン配線40と絶縁膜を介して重なる。このとき、3504で示される領域ではコンデンサが形成される。このコンデンサ3504は電流制御用TFT3503のゲートにかかる電圧を保持するためのコンデンサとして機能する。なお、ドレイン配線40は電流供給線（電源線）3506に接続され、常に一定の電圧が加えられている。

【0249】スイッチング用TFT3502及び電流制御用TFT3503の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される有機化合物層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、有機化合物層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0250】また、43は反射性の高い導電膜でなる画素電極（発光素子の陰極）であり、電流制御用TFT3503のドレインに電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0251】また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機化合物材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0252】なお、PPV系有機化合物材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Gelsen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0253】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光

する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30~150nm（好ましくは40~100nm）とすれば良い。

【0254】但し、以上の例は発光層として用いることのできる有機化合物材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせて有機化合物層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0255】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機化合物材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの電場を加えることで発生するルミネッセンスが得られる有機化合物材料や無機材料は公知の材料を用いることができる。

【0256】本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造の有機化合物層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0257】陽極47まで形成された時点で発光素子3505が完成する。なお、ここでいう発光素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。図26(A)に示すように画素電極43は画素の面積にほぼ一致するため、画素全体が発光素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0258】ところで、本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部と発光素子とを遮断することであり、有機化合物材料の酸化による劣化を防ぐ意味と、有機化合物材料からの脱ガスを抑える意味との両方を併せ持つ。これにより発光装置の信頼性が高められる。

【0259】以上のように本発明の表示パネルは図25のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強い電流制御用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能な表示パネ

ルが得られる。

【0260】(実施例11) 本実施例では、実施例10に示した画素部において、発光素子3505の構造を反転させた構造について説明する。説明には図27を用いる。なお、図25の構造と異なる点は発光素子の部分と電流制御用TFTだけであるので、その他の説明は省略することとする。

【0261】図27において、電流制御用TFT3503は公知の方法で作製されたPチャネル型TFTを用いて形成される。

【0262】本実施例では、画素電極(陽極)50として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0263】そして、絶縁膜でなるバンク51a、51bが形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層52が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層53、アルミニウム合金でなる陰極54が形成される。この場合、陰極54がパッシベーション膜としても機能する。こうして発光素子3701が形成される。

【0264】本実施例の場合、発光層52で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0265】(実施例12) 本実施例では、図26(B)に示した回路図とは異なる構造の画素とした場合の例について図28(A)～(C)に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線、3803はスイッチング用TFT3802のゲート配線、3804は電流制御用TFT、3805はコンデンサ、3806、3808は電流供給線、3807は発光素子とする。

【0266】図28(A)は、二つの画素間で電流供給線3806を共通とした場合の例である。即ち、二つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0267】また、図28(B)は、電流供給線3808をゲート配線3803と平行に設けた場合の例である。なお、図28(B)では電流供給線3808とゲート配線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線3808とゲート配線3803とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0268】また、図28(C)は、図28(B)の構

造と同様に電流供給線3808をゲート配線3803と平行に設け、さらに、二つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート配線3803のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0269】(実施例13) 実施例10に示した図26(A)、26(B)では電流制御用TFT3503のゲートにかかる電圧を保持するためにコンデンサ3504を設ける構造としているが、コンデンサ3504を省略することも可能である。実施例10の場合、電流制御用TFT3503として、ゲート絶縁膜を介してゲート電極に重なるように設けられたLDD領域を有しているNチャネル型TFTを用いている。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量をコンデンサ3504の代わりとして積極的に用いる点に特徴がある。

【0270】この寄生容量のキャパシタンスは、上記ゲート電極とLDD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるLDD領域の長さによって決まる。

【0271】また、実施例12に示した図28(A)、(B)、(C)の構造においても同様に、コンデンサ3805を省略することは可能である。

【0272】(実施例14) 本実施例では、図1に示した分割ビデオ信号を生成する回路群において、マルチプレクサ回路を設ける。そしてマルチプレクサ回路から出力される複数の信号(分配信号)をそれぞれの信号に対応する複数のD/A変換回路に入力する際に、複数の分配信号と複数のD/A変換回路の組み合わせを、ある期間ごとに変える構成を有する。

【0273】複数のD/A変換回路の構成は、理論的には全て同じである。しかし実際には個々のD/A変換回路の特性は全く同じではない。同じデジタルの信号を入力しても、D/A変換回路によって出力されるアナログの信号の電位が異なることがある。D/A変換回路の特性は、そのD/A変換回路が有する回路素子の製造誤差や、D/A変換回路の周辺温度に左右される。

【0274】そのため、D/A変換回路から出力されるアナログ信号の電位は、常にそのD/A変換回路の特性の影響を受ける。よって、特性が異なっているD/A変換回路から出力されるアナログのビデオ信号は、他のD/A変換回路から出力されたアナログのビデオ信号と電位差を有してしまう。

【0275】そして、電位差を有するアナログのビデオ信号が、分割駆動するために分割ビデオ信号に変換され、ソース信号線駆動回路においてサンプリングされると、サンプリングによって画素に入力される画像信号も電位差を有する。そして、その画像信号が有する電位差

が画面中に明暗として表示され、観察者に明暗による縞（分割縞）が視認されてしまう。

【0276】本実施例の分割ビデオ信号を生成する回路群について、図32を用いて説明する。なおここでは、アナログ駆動のアクティブマトリクス型半導体表示装置を、m分割で分割駆動する場合について説明する。

【0277】401は制御回路、402はA/D変換回路、403は γ 補正回路、404はマルチプレクサ回路、406は分割回路群、407は入れ替えデータ回路を示している。また点線で囲った408で示す部分は、図2に示した構成と同じであるので、本実施例では説明を省略する。分割回路群406は図示していないが1個の分割回路を有している。

【0278】Hsync信号とVsync信号とが制御回路401に入力される。そして制御回路401からソース信号線駆動回路を駆動するクロック信号（CK）、スタートパルス信号（SP）等がソース信号線駆動回路に入力されている。またさらに制御回路401から、A/D変換回路402、 γ 補正回路403、分割回路406、入れ替えデータ回路407に、各回路を駆動する信号がそれぞれ入力されている。

【0279】画像情報を有するアナログのビデオ信号が、A/D変換回路402に入力される。A/D変換回路402に入力されたアナログのビデオ信号は、A/D変換回路402においてデジタルのビデオ信号に変換され、 γ 補正回路403に入力される。 γ 補正回路403に入力されたデジタルのビデオ信号は、 γ 補正され、マルチプレクサ回路404に入力される。

【0280】マルチプレクサ回路404に入力された γ 補正後のデジタルのビデオ信号は、多数の出力端子に切り替えて分配される。そしてマルチプレクサ回路から、例えば1個に分配された信号（分配信号）が出力される。なお γ 補正回路から出力されたデジタルのビデオ信号のビット数がnビットだったとき、1個の分配信号は、それぞれnビットのデジタルの信号である。

【0281】1個の分配信号は、D/A第1入れ替え回路409に同時に入力される。図33に点線で囲った部分405の詳しいブロック図を示す。409はD/A第1入れ替え回路、410はD/A変換回路群、411はD/A第2入れ替え回路、412はD/A入れ替えデータ処理回路である。D/A変換回路群410は少なくとも1個のD/A変換回路（410_1～410_m）を有している。

【0282】D/A第1入れ替え回路409は、入力されたデジタルの分配信号（Dv1～Dvm）を、D/A入れ替えデータ処理回路412から入力されるD/A第1入れ替え信号によって、D/A変換回路（410_1～410_m）にそれぞれ入力する。その際、入力する1個のデジタルの分配信号（Dv1～Dvm）と、1個のD/A変換回路（410_1～410_m）とは一対

一で対応している。そして1個のデジタルの分配信号のうちのどのデジタルの分配信号が、1個のD/A変換回路のうちのどのD/A変換回路に入力されるかが、D/A入れ替えデータ処理回路412から入力されるD/A第1入れ替え信号によって決められる。

【0283】D/A変換回路（410_1～410_m）に入力された1個のデジタルの分配信号（Dv1～Dvm）は、各D/A変換回路において1個のアナログの分配信号（Av1～Avm）に変換され、D/A第2入れ替え回路411に入力される。

【0284】D/A第2入れ替え回路411は、D/A入れ替えデータ処理回路412から入力されるD/A第2入れ替え信号によって、D/A変換回路（410_1～410_m）から出力された1個のアナログの分配信号（Av1～Avm）をそれぞれ予め定められている1個の分割回路に入力する。つまりD/A第1入れ替え信号によって1個のデジタルの分配信号（Dv1～Dvm）のそれぞれが、どのD/A変換回路（410_1～410_m）に入力されるかに拘わらず、1個のD/A変換回路（410_1～410_m）から出力された1個のアナログの分配信号（Av1～Avm）を、予め定められている1個の分割回路に入力する。

【0285】1個の分割回路に入力された1個のアナログの分配信号（Av1～Avm）は、m個の分割ビデオ信号に変換され出力される。以下は、実施の形態において上述した通りであるので説明は省略する。

【0286】本発明は上記構成によって、特性が異なるD/A変換回路から出力されたアナログの分配信号が、他のD/A変換回路から出力されたアナログの分配信号との間に電位差を有していることによって、画面中に明暗による縞（分割縞）が表示されても、ある期間ごとにその分割縞の表示される位置が移動する。そのため画面中に分割縞が表示されても、観察者に視認されにくい。

【0287】なお本発明ではデジタルの分配信号とD/A変換回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間を分割縞が観察者に視認されにくい程度の長さで設定することが重要である。D/A変換回路の組み合わせが変わってから、次にまたその組み合わせが変わるまでの期間は、言い換えるとD/A第1入れ替え信号及び第2切り替え信号の有する情報が変化してから、次にまたD/A第1入れ替え信号及び第2切り替え信号の有する情報が変わるまでの期間にも相当する。

【0288】デジタルの分配信号とD/A変換回路の組み合わせが変わるまでの期間は短い方が好ましく、より分割縞が観察者に視認されにくくなる。本実施例においては、1フレーム期間ごとに、デジタルの分配信号とD/A変換回路の組み合わせが変わるように設定する。

【0289】よって、本発明は分割駆動を行う際に、観察者に分割縞が視認されにくい。そしてなおかつ分割駆

動することによって、アクティブマトリクス型半導体表示装置の水平方向の画素数を増やしても、ソース信号線駆動回路の駆動周波数を抑えつつ表示画像のチラツキやフリッカを防ぐことができ、高精細、高解像度、多階調の画像の表示が可能になる。

【0290】なお図32及び図33に示した構成の他に、D/A変換回路に入力する前に、D/A変換回路と信号との組み合わせを入れ替え、バッファ回路から信号が出力された後に、入れ替えた組み合わせを元に戻すようにしても良い。詳しく説明すると、マルチプレクサ回路404から出力されたデジタル分配信号を、D/A変換回路(410_1~410_m)に入力する前にD/A第1入れ替え回路409で組み替えて、D/A変換回路から出力されたアナログ分配信号をD/A第2入れ替え回路411を経ずにそのまま分割回路406に入力する。そして分割回路から出力された分割ビデオ信号を第1入れ替え回路108を経ずにそのままバッファ回路(109_1~109_m)に入力し、バッファ回路から出力された分割ビデオ信号を、第2入れ替え回路110において組み合わせを入れ替えることで、組み替えて元に戻す構成にしても良い。

【0291】そしてさらに、本実施例に示した構成は、実施の形態1及び実施例3で示した構成に比べ、より観察者に分割縞を視認されにくくすることができる。

【0292】(実施例15) 本発明は様々な半導体表示装置(アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型発光装置、アクティブマトリクス型ECディスプレイ)に用いることができる。即ち、それら電気光学装置を表示媒体として組み込んだ半導体表示装置全てに本発明を実施できる。

【0293】その様な半導体表示装置としては、ビデオカメラ、デジタルカメラ、プロジェクター(リア型またはフロント型)、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図29、図30及び図31に示す。

【0294】図29(A)はパーソナルコンピュータであり、本体7001、映像入力部7002、表示装置7003、キーボード7004で構成される。本発明の半導体表示装置を表示装置7003に適用することができる。

【0295】図29(B)はビデオカメラであり、本体7101、表示装置7102、音声入力部7103、操作スイッチ7104、バッテリー7105、受像部7106で構成される。本発明の半導体表示装置を表示装置7102に適用することができる。

【0296】図29(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体7201、カメラ部7202、受像部7203、操作スイッチ7204、表

示装置7205で構成される。本発明の半導体表示装置は表示装置7205に適用できる。

【0297】図29(D)はゴーグル型ディスプレイであり、本体7301、表示装置7302、アーム部7303で構成される。本発明の半導体表示装置は表示装置7302に適用することができる。

【0298】図29(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体7401、表示装置7402、スピーカ部7403、記録媒体7404、操作スイッチ7405で構成される。なお、この装置は記録媒体としてDVD(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明の半導体表示装置は表示装置7402に適用することができる。

【0299】図30(A)はフロント型プロジェクターであり、光源光学系及び表示装置7601、スクリーン7602で構成される。本発明の半導体表示装置は表示装置7601に適用することができる。

【0300】図30(B)はリア型プロジェクターであり、本体7701、光源光学系及び表示装置7702、ミラー7703、ミラー7704、スクリーン7705で構成される。本発明の半導体表示装置は表示装置7702に適用することができる。

【0301】なお、図30(C)は、図30(A)及び図30(B)中における光源光学系及び表示装置7601、7702の構造の一例を示した図である。光源光学系及び表示装置7601、7702は、光源光学系7801、ミラー7802、7804~7806、ダイクロイックミラー7803、光学系7807、表示装置7808、位相差板7809、投射光学系7810で構成される。投射光学系7810は、投射レンズを備えた複数の光学レンズで構成される。この構成は、表示装置7808を三つ使用しているため三板式と呼ばれている。また、図30(C)中において矢印で示した光路に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するためのフィルム、IRフィルム等を設けてもよい。

【0302】また、図30(D)は、図30(C)中における光源光学系7801の構造の一例を示した図である。本実施例では、光源光学系7801は、リフレクター7811、光源7812、レンズアレイ7813、7814、偏光変換素子7815、集光レンズ7816で構成される。なお、図30(D)に示した光源光学系は一例であって特に限定されない。例えば、光源光学系に実施者が適宜、光学レンズや、偏光機能を有するフィルムや、位相差を調節するフィルム、IRフィルム等を設けてもよい。

【0303】図30(C)は三板式の例を示したが、図31(A)は単板式の一例を示した図である。図31

(A) に示した光源光学系及び表示装置は、光源光学系 7901、表示装置 7902、投射光学系 7903 で構成される。投射光学系 7903 は、投射レンズを備えた複数の光学レンズで構成される。図 31 (A) に示した光源光学系及び表示装置は図 30 (A) 及び図 30

(B) 中における表示装置 7601、7702 に適用できる。また、光源光学系 7901 は図 30 (D) に示した光源光学系を用いればよい。なお、表示装置 7902 にはカラーフィルター (図示しない) が設けられており、表示映像をカラー化している。

【0304】また、図 31 (B) に示した光源光学系及び表示装置は、図 31 (A) の応用例であり、カラーフィルターを設ける代わりに、RGB の回転カラーフィルター円板 7905 を用いて表示映像をカラー化している。図 31 (B) に示した光源光学系及び表示装置は図 30 (A) 及び図 30 (B) 中における表示装置 7601、7702 に適用できる。

【0305】また、図 31 (C) に示した光源光学系及び表示装置は、カラーフィルターレス単板式と呼ばれている。この方式は、表示装置 7916 にマイクロレンズアレイ 7915 を設け、ダイクロイックミラー (緑) 7912、ダイクロイックミラー (赤) 7913、ダイクロイックミラー (青) 7914 を用いて表示映像をカラー化している。投射光学系 7917 は、投射レンズを備えた複数の光学レンズで構成される。図 31 (C) に示した光源光学系及び表示装置は図 30 (A) 及び図 30 (B) 中における光源光学系及び表示装置 7601、7702 に適用できる。また、光源光学系 7911 としては、光源の他に結合レンズ、コリメータレンズを用いた光学系を用いればよい。

【0306】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の半導体表示装置に適用することが可能である。

【0307】

【発明の効果】本発明は上記構成によって、特性が異なるバッファ回路から出力された分割ビデオ信号が、他の分割ビデオ信号との間に電位差を有していることによって画面中に明暗による縞 (分割縞) が表示されても、ある期間ごとにその分割縞の表示される位置が移動する。そのため画面中に分割縞が表示されても、観察者に視認されにくい。

【0308】よって、本発明は分割駆動を行う際に、観察者に分割縞が視認されにくい。そしてなおかつ分割駆動することによって、アクティブマトリクス型半導体表示装置の水平方向の画素数を増やしても、ソース信号線駆動回路の駆動周波数を抑えつつ表示画像のチラツキやフリッカを防ぐことができ、高精細、高解像度、多階調の画像の表示が可能になる。

【図面の簡単な説明】

【図 1】 本発明の分割ビデオ信号を生成する回路群の

ブロック図。

【図 2】 分割ビデオ信号を生成する回路群の一部のブロック図。

【図 3】 入れ替えデータ回路のブロック図。

【図 4】 本発明のアクティブマトリクス型液晶の半導体表示装置の上面概略図。

【図 5】 本発明のアナログのアクティブマトリクス型液晶の半導体表示装置の駆動方法を示す図。

【図 6】 ソース信号線駆動回路の回路図。

10 【図 7】 アナログスイッチ及びレベルシフト回路の等価回路図。

【図 8】 本発明の分割ビデオ信号を生成する回路群のブロック図。

【図 9】 分割ビデオ信号を生成する回路群の一部のブロック図。

【図 10】 入れ替えデータ回路のブロック図。

【図 11】 本発明のアクティブマトリクス型液晶の半導体表示装置の上面概略図。

【図 12】 ソース信号線駆動回路の回路図。

20 【図 13】 本発明の分割ビデオ信号を生成する回路群のブロック図。

【図 14】 分割ビデオ信号を生成する回路群の一部のブロック図。

【図 15】 本発明のアクティブマトリクス型液晶表示装置の上面概略図。

【図 16】 本発明の半導体表示装置の斜視図。

【図 17】 従来の分割ビデオ信号を生成する回路群のブロック図。

30 【図 18】 本発明に用いられる TFT の作製行程を示す図。

【図 19】 本発明に用いられる TFT の作製行程を示す図。

【図 20】 本発明に用いられる TFT の作製行程を示す図。

【図 21】 本発明に用いられる TFT の作製行程を示す図。

【図 22】 本発明に用いられる TFT の作製行程を示す図。

40 【図 23】 本発明を用いた発光装置の上面図及び断面図。

【図 24】 本発明を用いた発光装置の上面図及び断面図。

【図 25】 本発明を用いた発光装置の断面図。

【図 26】 本発明を用いた発光装置の上面図及び回路図。

【図 27】 本発明を用いた発光装置の断面図。

【図 28】 本発明を用いた発光装置の回路図。

【図 29】 本発明を用いた半導体表示装置の図。

【図 30】 本発明を用いた液晶プロジェクターの図。

50 【図 31】 本発明を用いた単板式液晶プロジェクター

の図。

【図32】 本発明の分割ビデオ信号を生成する回路群のブロック図。

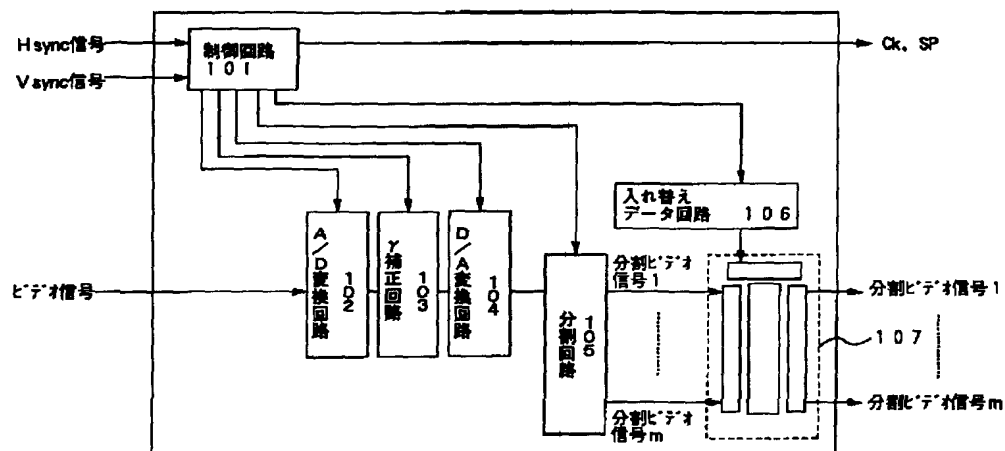
【図33】 分割ビデオ信号を生成する回路群の一部のブロック図。

【符号の説明】

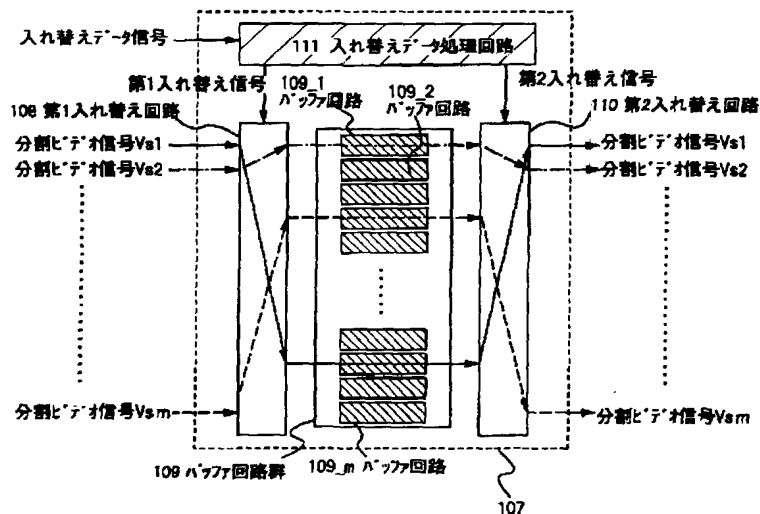
101 制御回路
102 A/D変換回路
103 γ補正回路
104 D/A変換回路
105 分割回路
106 入れ替えデータ回路
108 第1入れ替え回路
109 バッファ回路

110 第2入れ替え回路
111 入れ替えデータ処理回路
112 カウンタ回路
113 メモリ回路
115 ソース信号線駆動回路
116 ゲート信号線駆動回路
117 ソース信号線
118 ゲート信号線
119 画素
120 画素部
121 画素TFT
122 液晶セル
123 保持容量

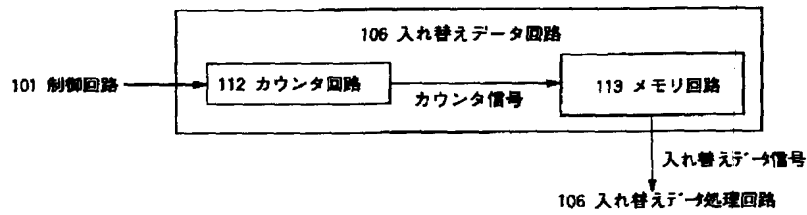
【図1】



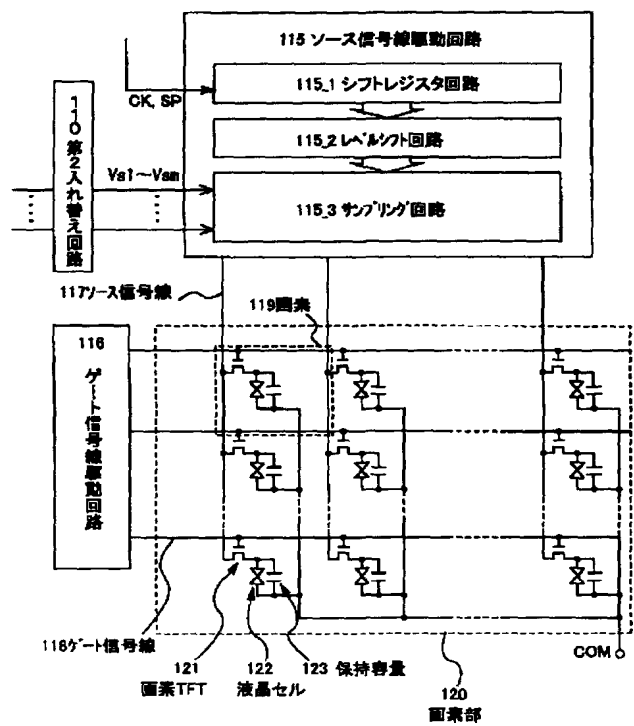
【図2】



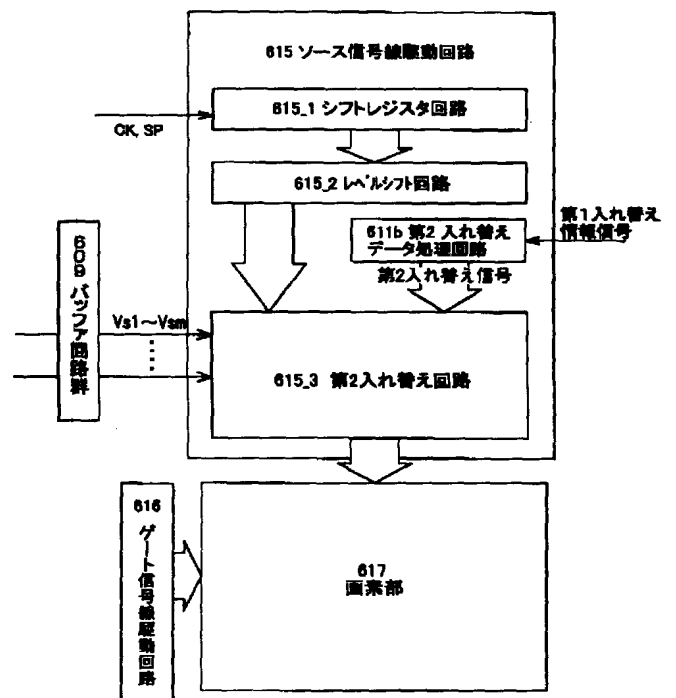
【図3】



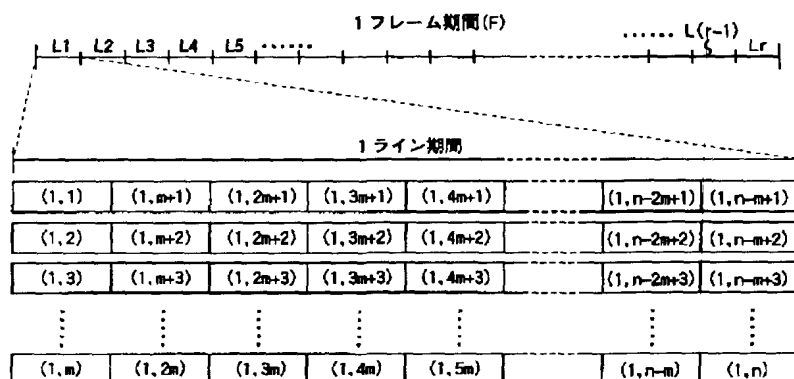
【図4】



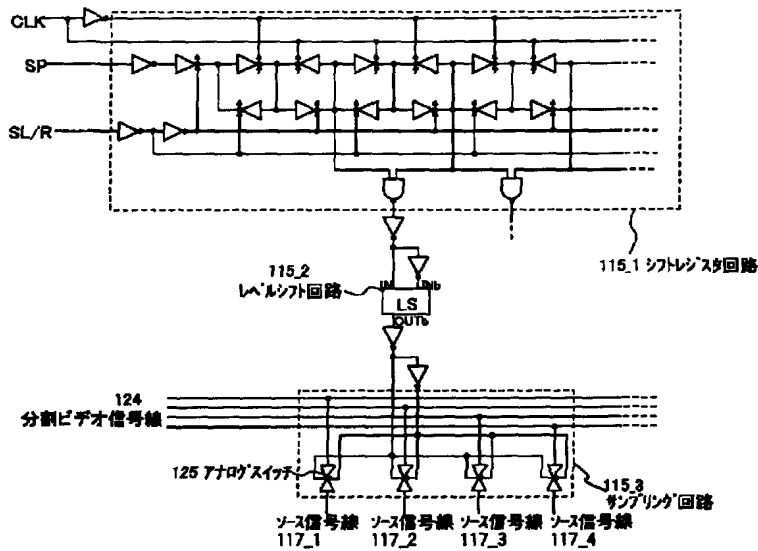
【図11】



【図5】

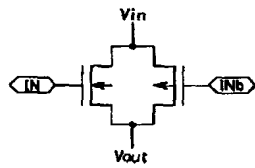


【図6】

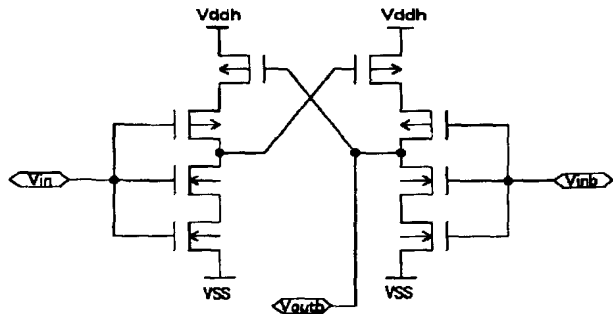


【図7】

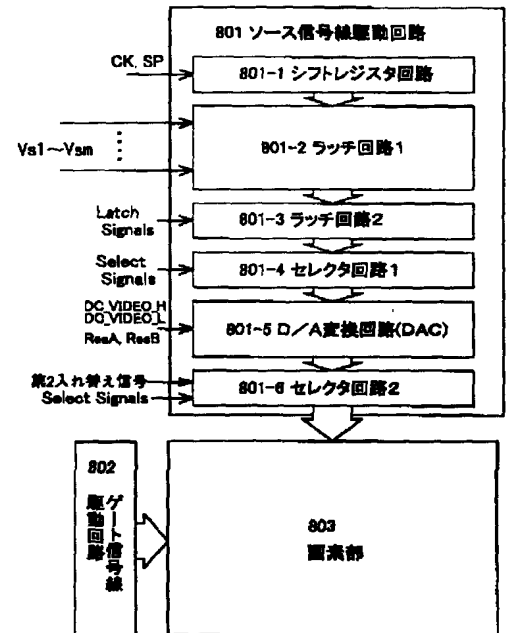
(A)



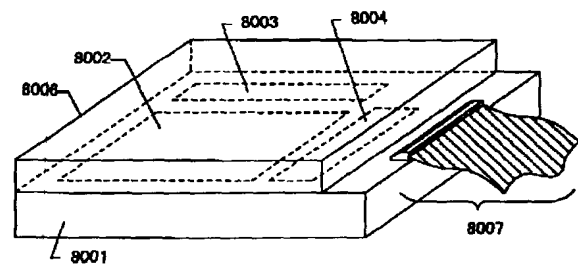
(B)



【図15】

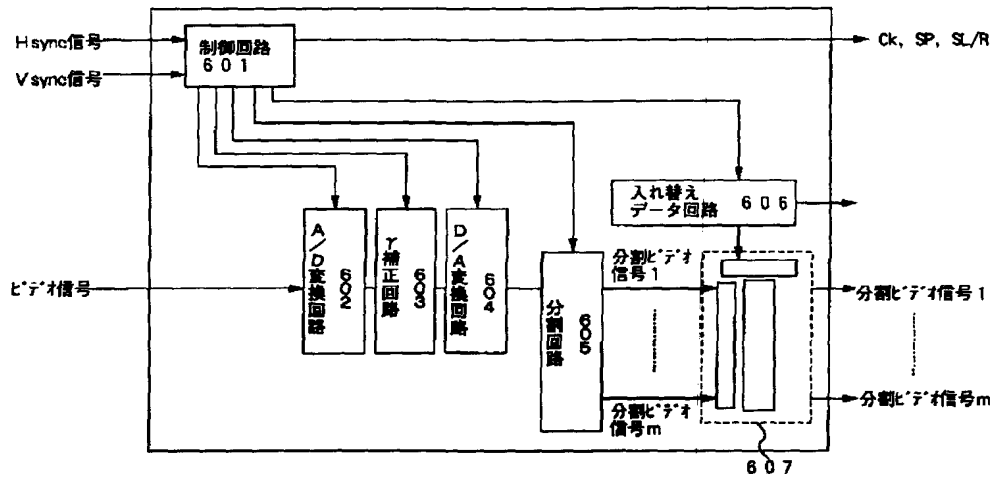


【図16】

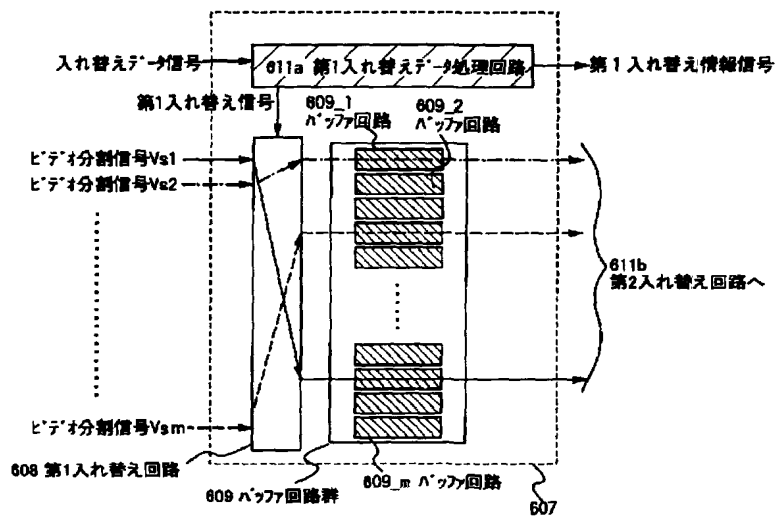


- 8001 アクティブマトリクス基板
- 8002 画素部
- 8003 ゲート信号線駆動回路
- 8004 ソース信号線駆動回路
- 8006 対向基板
- 8007 FPC

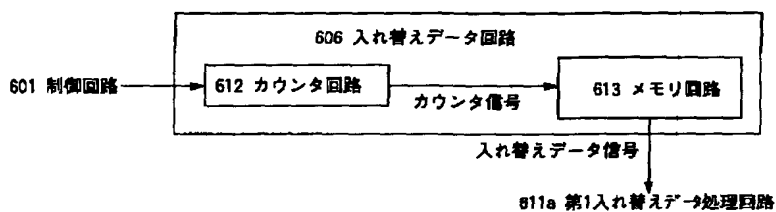
【図8】



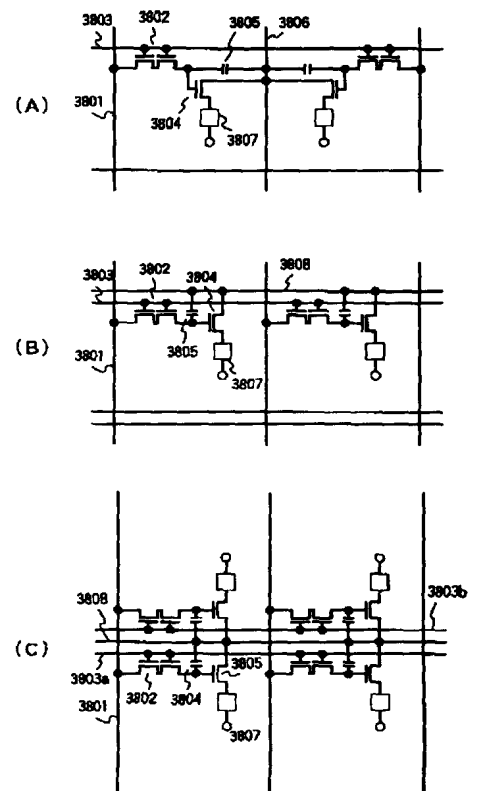
【図9】



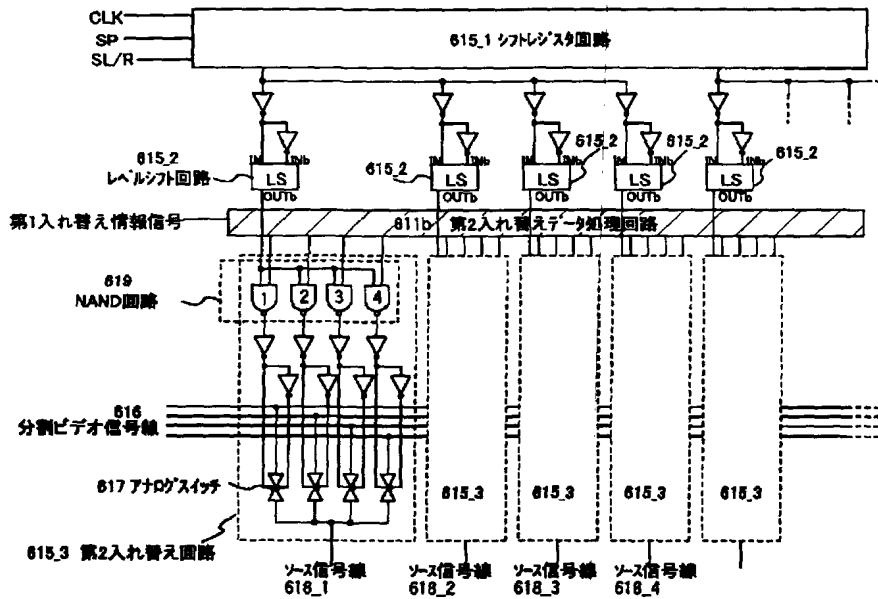
【図10】



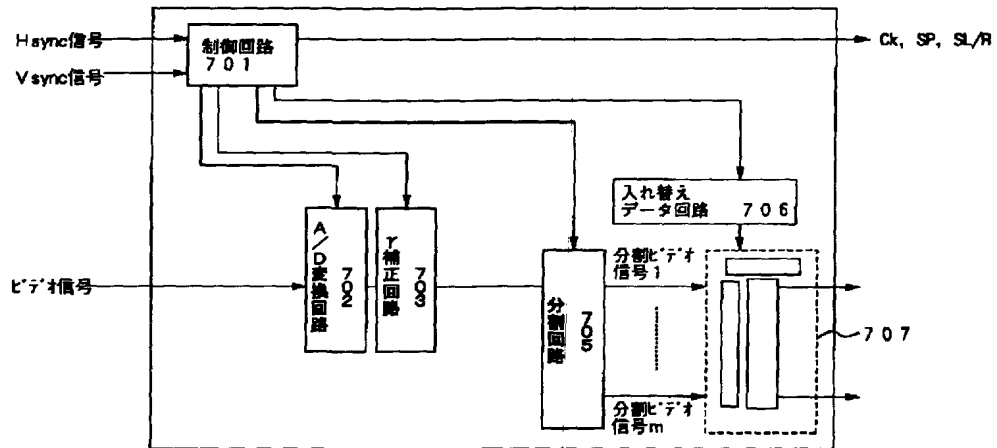
【図28】



【図12】

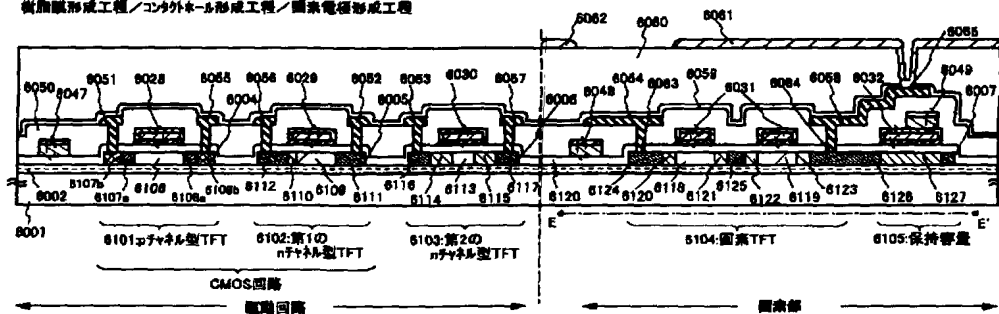


【図13】

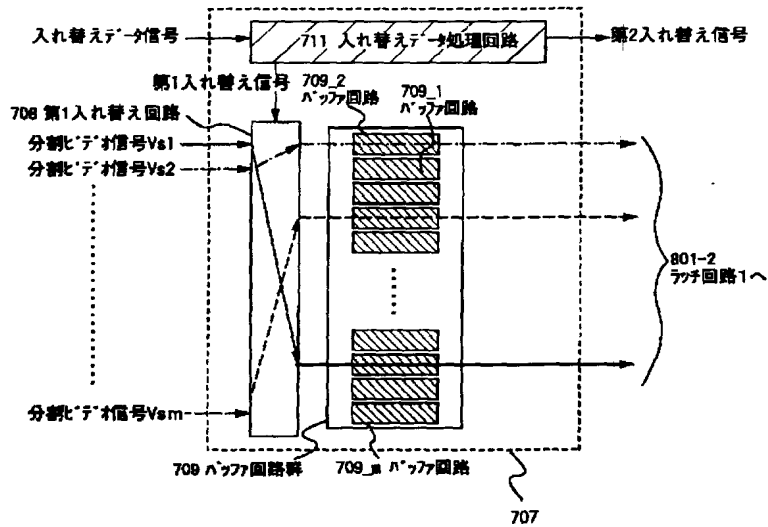


【図22】

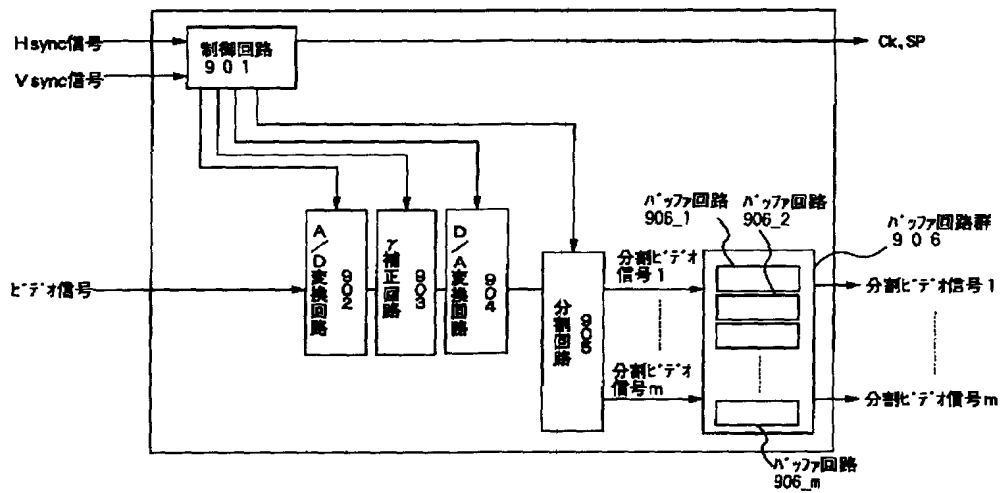
薄膜形成工程／コンタクト形成工程／画素電極形成工程



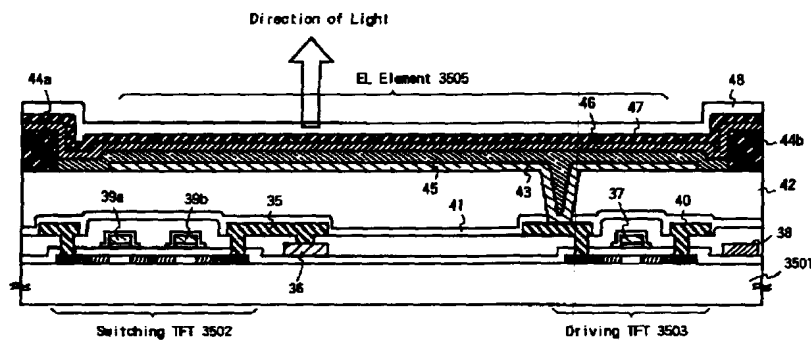
【図14】



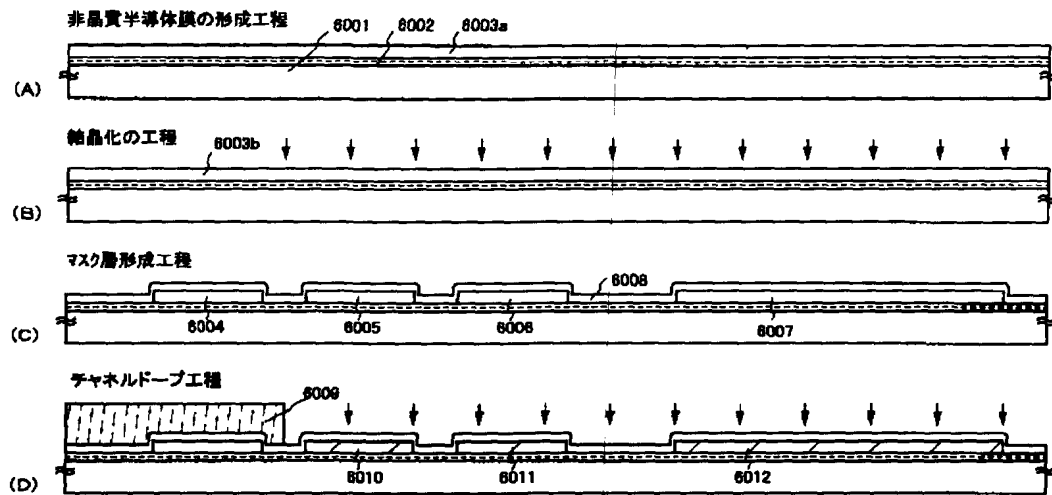
【図17】



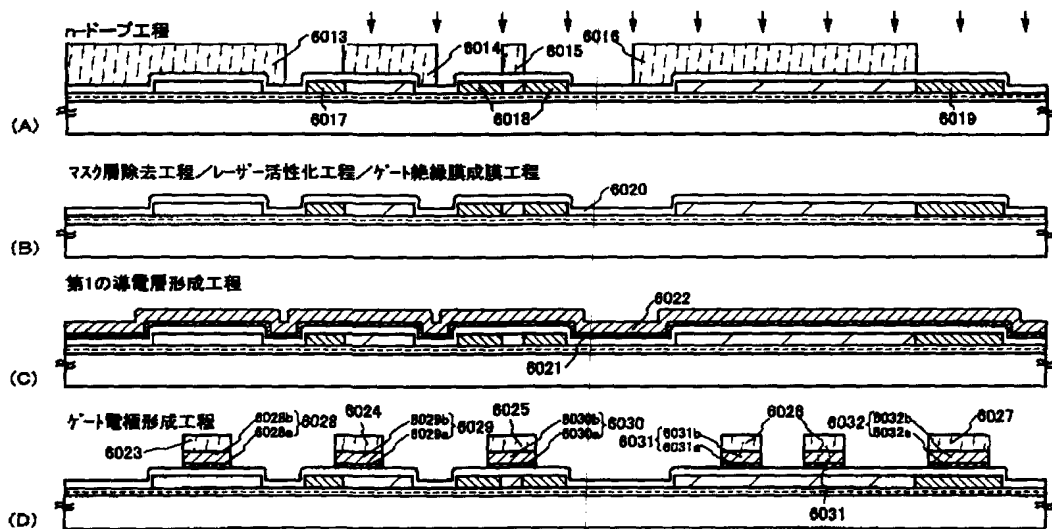
【図25】



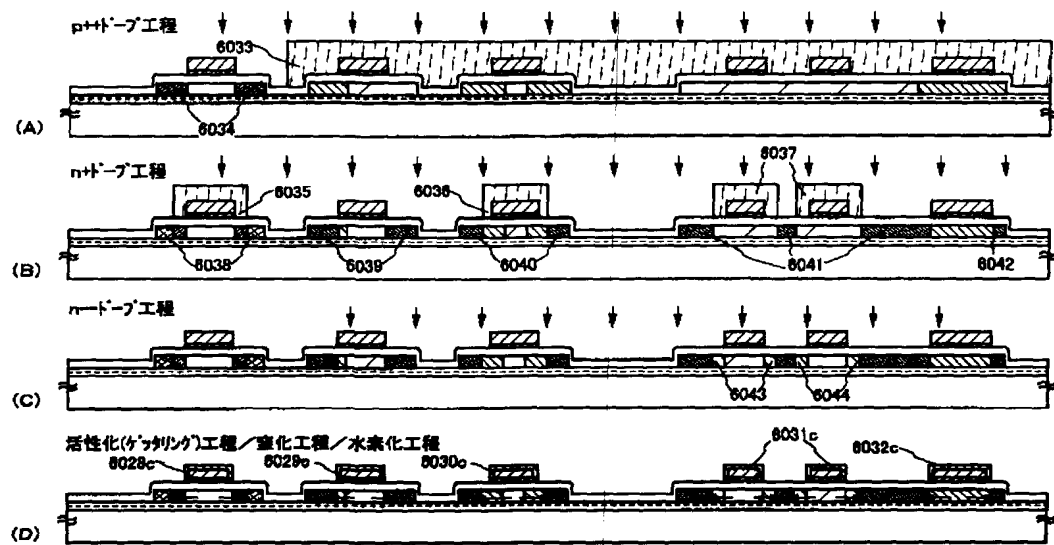
【図18】



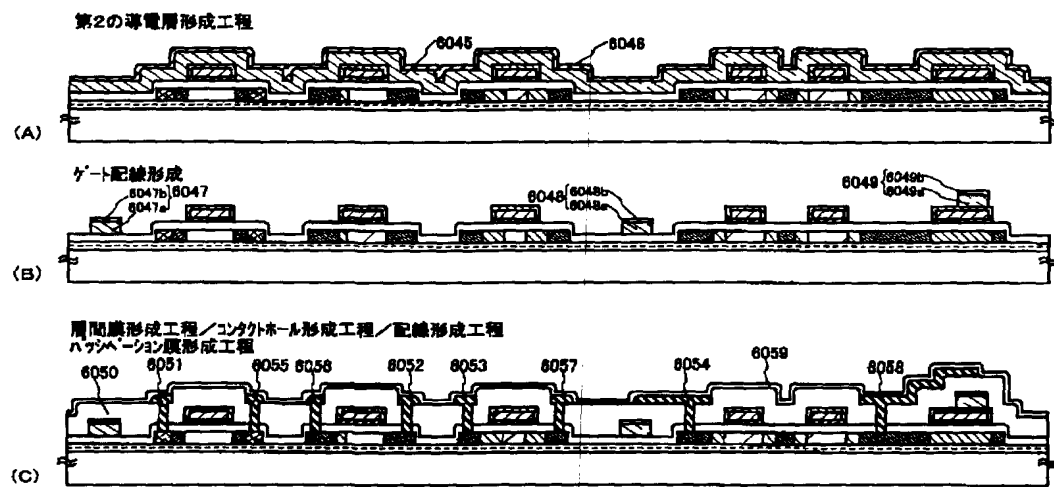
【図19】



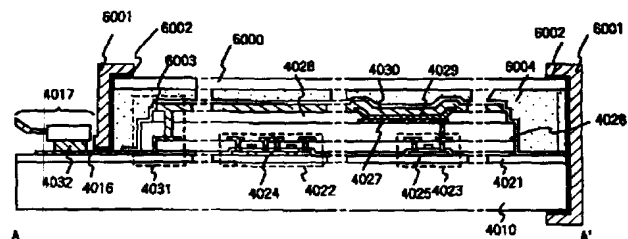
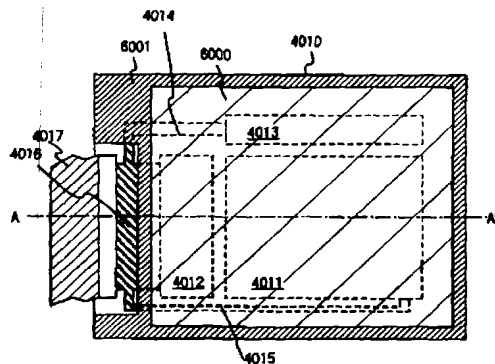
【図 20】



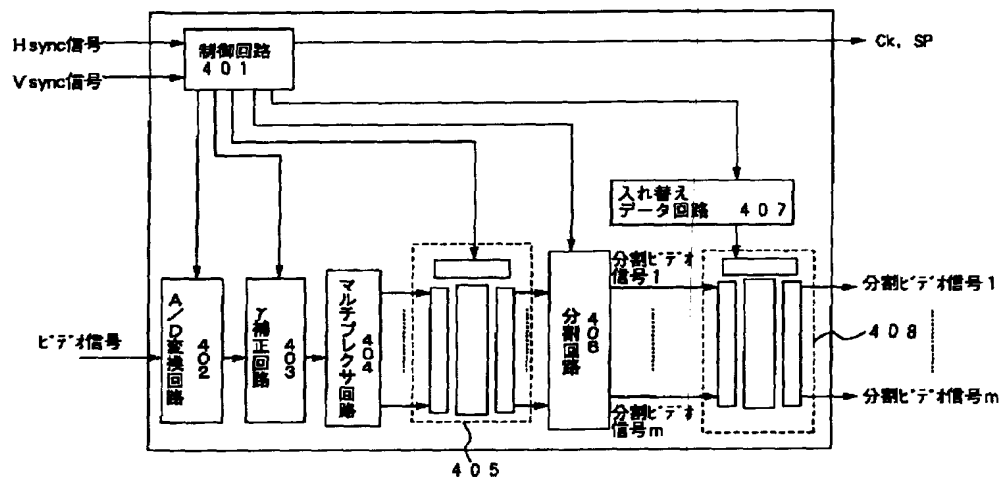
【図 21】



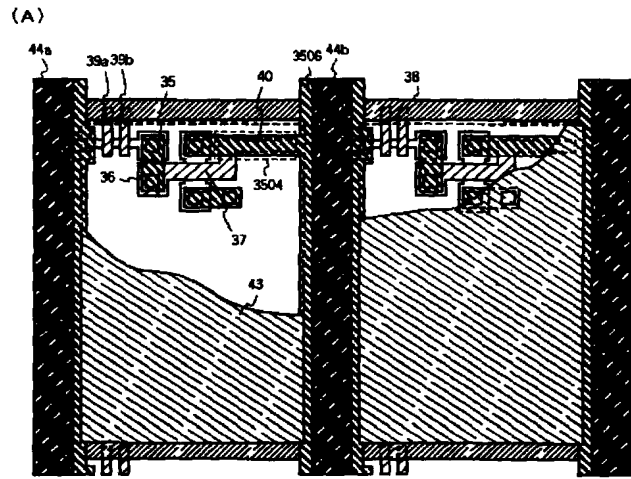
【図 24】



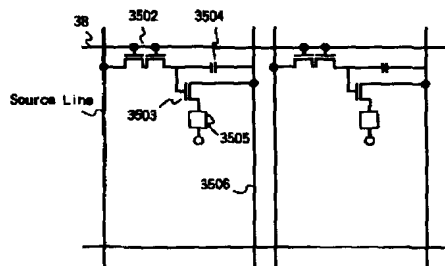
【図 3 2】



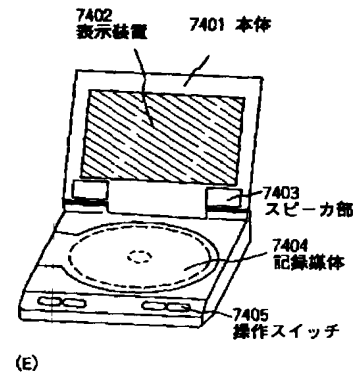
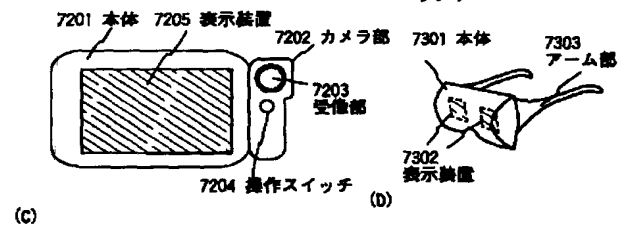
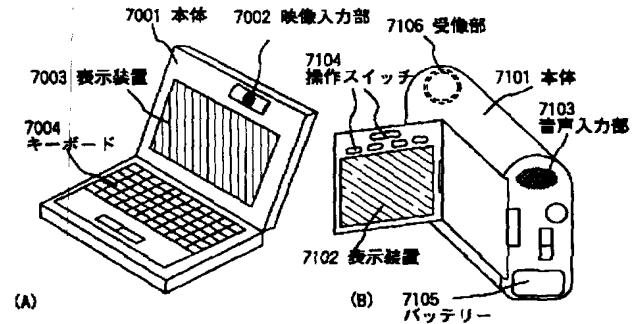
【図26】



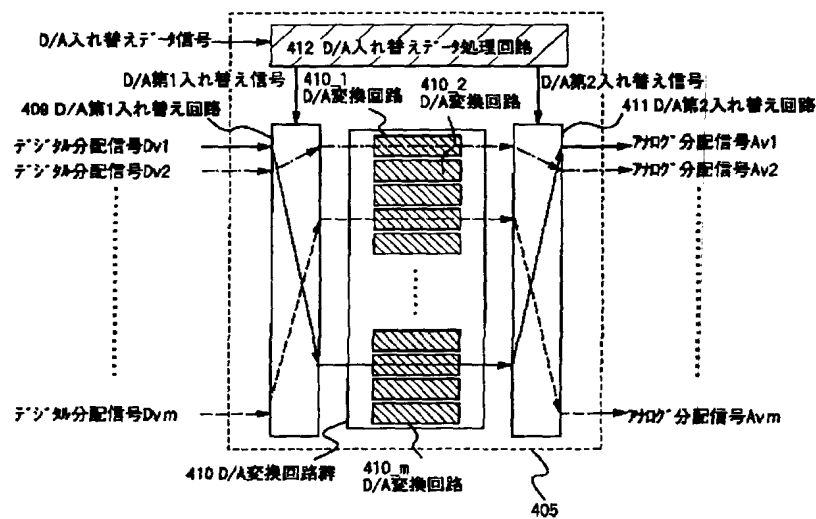
(B)



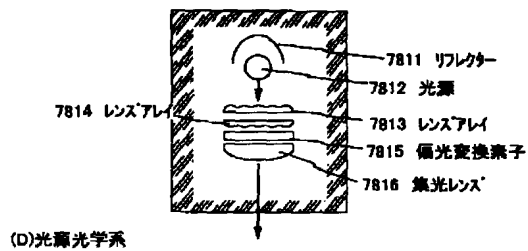
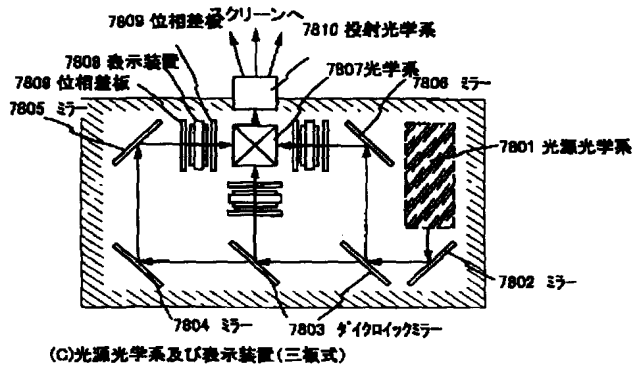
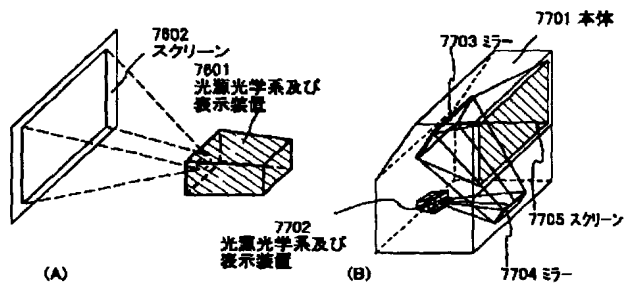
【図29】



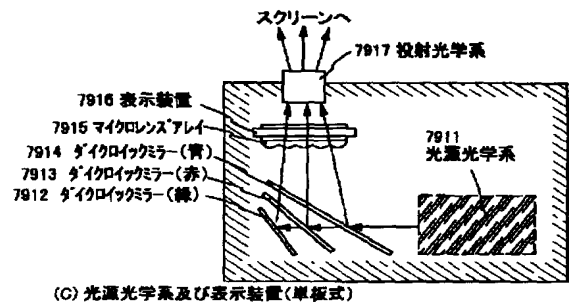
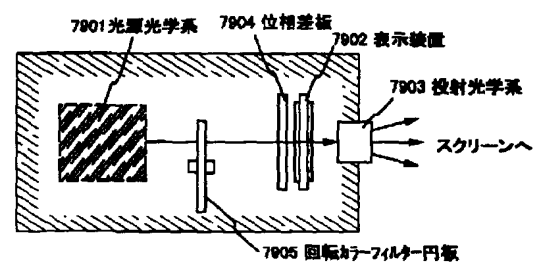
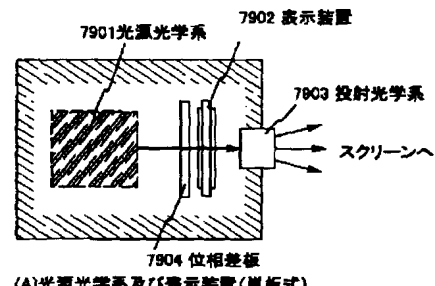
【図33】



【図 30】



【図 31】



フロントページの続き

(51) Int. Cl. ⁷

G 0 9 G 3/20

識別記号

6 2 3

6 3 1

6 4 2

6 8 0

3/32

F I

G 0 9 G 3/20

ターマコード (参考)

6 2 3 B

6 3 1 Q

6 4 2 A

6 8 0 V

A

3/32